

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

Y. Ito et al.  
7/11/03  
Q76480  
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 7月11日

出 願 番 号  
Application Number:

特願2002-203334

[ ST.10/C ]:

[ JP2002-203334 ]

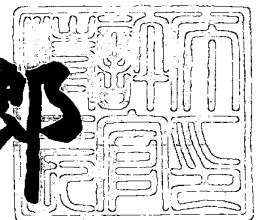
出 願 人  
Applicant(s):

エルピーダメモリ株式会社

2003年 6月19日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047963

【書類名】 特許願

【整理番号】 22310056

【提出日】 平成14年 7月11日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明者】

    【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ  
                        株式会社内

    【氏名】 伊藤 豊

【発明者】

    【住所又は居所】 東京都中央区八重洲二丁目2番1号 エルピーダメモリ  
                        株式会社内

    【氏名】 中井 潔

【特許出願人】

    【識別番号】 500174247

    【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

    【識別番号】 100099830

    【弁理士】

    【氏名又は名称】 西村 征生

    【電話番号】 048-825-8201

【手数料の表示】

    【予納台帳番号】 038106

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0111128

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 情報ビットの書き込みあるいは読み出しを行なう情報ビット領域、パリティビットの書き込みあるいは読み出しを行なうパリティビット領域、前記情報ビットあるいは前記パリティビットにおける不良ビットを置き換える冗長回路を少なくとも有する複数のメモリセルから構成されるメモリアレイと、

符号長が略 7 2 以下のハミング符号を用いて、前記メモリアレイの前記情報ビット領域あるいは前記パリティビット領域に対して書き込みあるいは読み出しする前記情報ビット及び前記パリティビットを含むデータに誤り訂正処理を実施する ECC 回路とを備え、

前記メモリアレイの前記冗長回路による前記不良ビットの冗長救済及び前記 ECC 回路の前記ハミング符号による前記誤り訂正処理を併用可能に構成したことを特徴とする半導体記憶装置。

【請求項 2】 前記情報ビット領域あるいは前記パリティビット領域に対する読み出し動作時、前記誤り訂正処理を実施した前記データを前記情報ビット領域あるいは前記パリティビット領域に再書き込みせずに、前記メモリアレイの外部のみに出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記ハミング符号による前記誤り訂正処理の訂正能力を越える符号語が出現した場合は、前記冗長回路による前記不良ビットの冗長救済を行なうことを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 4】 前記 ECC 回路は、前記情報ビットに対応した前記パリティビットを演算出力する符号化回路と、前記符号語のビット中のいずれが誤りかを示す誤り位置検出信号を出力する復号回路と、前記誤り位置検出信号を入力して誤りビットを反転出力する誤り訂正回路とから構成されることを特徴とする請求項 1、2 又は 3 記載の半導体記憶装置。

【請求項 5】 前記符号化回路は、第 1 のテスト信号が加えられる複数のアンド回路と、複数の排他的論理和回路とが所定の関係となるように接続されたシンドロームツリーにより構成されることを特徴とする請求項 4 記載の半導体記憶

装置。

【請求項 6】 前記復号回路は、複数ビットの前記情報ビット及び複数ビットの前記パリティビットが入力されて複数ビットのシンδροームを出力するように複数の排他的論理和回路が接続されたシンδροームツリーと、前記シンδροームが入力されて複数ビットの前記誤り位置検出信号を出力するように複数のナンド回路及び第 2 のテスト信号が加えられる複数のアンド回路が所定の関係となるように接続されたデコーダとにより構成されることを特徴とする請求項 4 又は 5 記載の半導体記憶装置。

【請求項 7】 前記誤り訂正回路は、複数ビットの前記情報ビット及び複数ビットの前記パリティビットとともに複数ビットの前記誤り位置検出信号が入力される複数の排他的論理和回路と、第 3 のテスト信号が加えられる複数のスイッチとが前記誤りビットを反転出力するように所定の関係となるように接続されたことを特徴とする請求項 4、5 又は 6 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に係り、詳しくは、誤り訂正コード (Error Correcting Code; ECC) 回路を備える半導体記憶装置に関する。

【0002】

【従来の技術】

半導体記憶装置の代表である D R A M (Dynamic Random Access Memory) は、パーソナルコンピュータを始めとする各種情報機器の記憶部に採用されているが、情報量の増大につれて情報を多ビットに構成して取り扱うこと（書き込み及び読み出し）が一般的になってきている。このような情報の多ビット化に伴って、情報伝送時に一部のビットに誤り（ビットエラー）の発生が避けられないので、情報伝送における信頼性を向上させるために、誤ったビットを検出して訂正する機能を持たせるようにした E C C 回路を備えた D R A M が提供されるに至っている。ここで、E C C 回路は、周知のハミングコード (Hamming Code) を用いて構成されている。ハミングコードは多ビットのうちの 1 ビットの誤り（1 ビットエラ

一)を検出して訂正できるコードとして知られている。

【 0 0 0 3 】

一方、高速アクセスを可能にするために、外部から印加したクロック信号に同期して動作させるように構成した S D R A M ( S y n c h r o n o u s D R A M ) が 広 く 普 及 してきている。この S D R A M は 外 部 ク ロ ッ ク 信 号 に 非 同 期 で 動 作 さ せ る よ う に 構 成 されている従来の D R A M に 比 較 し て、動 作 速 度 を 数 倍 に 向 上 さ せ る こ と が 可 能になる。

【 0 0 0 4 】

上述したような S D R A M に お い て、メ モ リ セ ル に 記 憶 さ れ る 情 報 の ポ ー ズ リ フレッシュ落ちこぼれ ( P a u s e R e f r e s h T a i l ) 分 布、す な わ ち ポ ー ズ リ フレッシュ不良の問題がある。メ モ リ セ ル に デ ー タ を 書 き 込 ん だ 後 に 何 も せ ず に 放 置 し た 状態の時間をポーズ時間とすると、設定したポーズ時間経過後にメ モ リ セ ル の デ ー タ を 読 み 出 して 正 常 に 読 め る か だ う か を チ ェ ッ ク す る、ポ ー ズ リ フレッシュ試験 ( ポ ー ズ 試 験 ) が 行 な わ れ る。こ こ で、何 も し な け れ ば、メ モ リ セ ル に 書 き 込 ま れ た デ ー タ は リ ー ク 電 流 に よ り 破 壊 さ れ て し ま う の で、デ ー タ が 破 壊 さ れ る 前 に デ ー タ の 再 書 き 込 み 動 作 ( リ フレッシュ ) を 行 な う 必 要 が あ る。

【 0 0 0 5 】

ポーズリフレッシュ試験の結果、ビット個々の書き込み後にリーク電流でデータが破壊されるまでのポーズリフレッシュ実力を表すポーズリフレッシュ分布は、全体の略 9 9 . 9 % を 占 め る 良 い 分 布 で あ る ノ ー マ ル ( N o r m a l ) 分 布 と、残りの略 0 . 1 % を 占 め る 悪 い 分 布 で あ る ポ ー ズ リ フレッシュ落ちこぼれ分布 ( ポ ー ズ リ フレッシュ不良 ) と の 2 つ の 正 規 分 布 で 表 さ れ る。そ し て、S D R A M で は、ポーズリフレッシュ実力以上にリフレッシュ周期を長周期化して、データ保持電流の大幅な低減を実現するために、ポーズリフレッシュ落ちこぼれ分布 ( エ ラ ー 率  $\approx$  0 . 0 1 % の ラ ン ダ ム ビ ッ ト ) を 効 率 良 く 救 済 ( 訂 正 ) す る こ と が 要 望 されている。そのように、データ保持電流を大幅に低減することにより、S D R A M の 低 消 費 電 力 化 を 図 る こ と が で き る。

【 0 0 0 6 】

上述したような E C C 回 路 を 備 え た D R A M が、例 えば 特 許 第 2 5 3 9 9 5 0

号（特開平 6 - 8 9 5 9 5 号公報）に開示されている。同 D R A M は、内部に例えば 1 2 8 + 9 ビットの S R A M を備え、外部とのアクセスはその S R A M を介して行なわれるように構成されている。また、上記 E C C 回路を備えた D R A M が、例えば特開平 1 0 - 3 2 6 4 9 7 号公報に開示されている。同 D R A M は、ランバス (Rambus) - D R A M のようなパケット入出力規格に対応した構成を有している。

## 【 0 0 0 7 】

## 【発明が解決しようとする課題】

ところで、上記公報記載の従来の半導体記憶装置は、S D R A M には適応できないので、S D R A M においてポーズリフレッシュ落ちこぼれ分布を救済したい場合、エラー率の低いビットを効率良く救済することができないため、ポーズリフレッシュ実力以上にリフレッシュ周期を長周期化して、データ保持電流の大幅な低減を実現することができない、という問題がある。

まず、特許第 2 5 3 9 9 5 0 号では、1 2 8 + 9 ビットの構成の S R A M を介して外部とのアクセスを行うため、書き込み動作を行うとき一旦 S R A M までデータを読み出した後（プリフェッチ動作後に）に、メモリセルに書き込むようにしているので、S D R A M の書き込み動作中に余分な読み出し時間を設けなくてはならない。すなわち、S D R A M の書き込み動作は、書き込みコマンドとデータ及び Y アドレス（書き込み先）を同時にセットすれば完了で、上記プリフェッチ動作に要する時間は不要で、1 セットが完了する。この点で上記公報のように内部に E C C 回路を搭載した場合には、書き込みコマンドから 2 サイクル遅れ、あるいは 3 サイクル遅れでデータをセットしなければならないので、動作が完了するのに 3 サイクルあるいは 4 サイクルを要する。したがって、上記プリフェッチ動作を必要としているので、S D R A M の規格を満足することができない。

## 【 0 0 0 8 】

次に、特開平 1 0 - 3 2 6 4 9 7 号公報では、パケット入出力規格に対応した構成を有しているのでパケットデータを用いなければならず、S D R A M とは基本構成が異なっているので、上記特許第 2 5 3 9 9 5 0 号と同様に S D R A M には適応できない。

## 【 0 0 0 9 】

この発明は、上述の事情に鑑みてなされたもので、ポーズリフレッシュ落ちこぼれ分布においてエラー率の低いビットを効率良く救済して、ポーズリフレッシュ実力以上にリフレッシュ周期を長周期化して、データ保持電流の大幅な低減を実現することができるようにした半導体記憶装置を提供することを目的としている。

## 【 0 0 1 0 】

## 【課題を解決するための手段】

上記課題を解決するために、請求項 1 記載の発明は、半導体記憶装置に係り、情報ビットの書き込みあるいは読み出しを行なう情報ビット領域、パリティビットの書き込みあるいは読み出しを行なうパリティビット領域、上記情報ビットあるいは上記パリティビットにおける不良ビットを置き換える冗長回路を少なくとも有する複数のメモリセルから構成されるメモリアレイと、符号長が略 7 2 以下のハミング符号を用いて、上記メモリアレイの上記情報ビット領域あるいは上記パリティビット領域に対して書き込みあるいは読み出しする上記情報ビット及び上記パリティビットを含むデータに誤り訂正処理を実施する ECC 回路とを備え、上記メモリアレイの上記冗長回路による上記不良ビットの冗長救済及び上記 ECC 回路の上記ハミング符号による上記誤り訂正処理を併用可能に構成したことを特徴としている。

## 【 0 0 1 1 】

また、請求項 2 記載の発明は、請求項 1 記載の半導体記憶装置に係り、上記情報ビット領域あるいは上記パリティビット領域に対する読み出し動作時、上記誤り訂正処理を実施した上記データを上記情報ビット領域あるいは上記パリティビット領域に再書き込みせずに、上記メモリアレイの外部のみに出力することを特徴としている。

## 【 0 0 1 2 】

また、請求項 3 記載の発明は、請求項 1 又は 2 記載の半導体記憶装置に係り、上記ハミング符号による上記誤り訂正処理の訂正能力を越える符号語が出現した場合は、上記冗長回路による上記不良ビットの冗長救済を行なうことを特徴とし



ている。

【 0 0 1 3 】

また、請求項 4 記載の発明は、請求項 1、2 又は 3 記載の半導体記憶装置に係り、上記 ECC 回路は、上記情報ビットに対応した上記パリティビットを演算出力する符号化回路と、上記符号語のビット中のいずれが誤りかを示す誤り位置検出信号を出力する復号回路と、上記誤り位置検出信号を入力して誤りビットを反転出力する誤り訂正回路とから構成されることを特徴としている。

【 0 0 1 4 】

また、請求項 5 記載の発明は、請求項 4 記載の半導体記憶装置に係り、上記符号化回路は、第 1 のテスト信号が加えられる複数のアンド回路と、複数の排他的論理和回路とが所定の関係となるように接続されたシンδροームツリーにより構成されることを特徴としている。

【 0 0 1 5 】

また、請求項 6 記載の発明は、請求項 4 又は 5 記載の半導体記憶装置に係り、上記復号回路は、複数ビットの上記情報ビット及び複数ビットの上記パリティビットが入力されて複数ビットのシンδροームを出力するように複数の排他的論理和回路が接続されたシンδροームツリーと、上記シンδροームが入力されて複数ビットの上記誤り位置検出信号を出力するように複数のナンド回路及び第 2 のテスト信号が加えられる複数のアンド回路が所定の関係となるように接続されたデコーダとにより構成されることを特徴としている。

【 0 0 1 6 】

また、請求項 7 記載の発明は、請求項 4、5 又は 6 記載の半導体記憶装置に係り、上記誤り訂正回路は、複数ビットの上記情報ビット及び複数ビットの上記パリティビットとともに複数ビットの上記誤り位置検出信号が入力される複数の排他的論理和回路と、第 3 のテスト信号が加えられる複数のスイッチとが上記誤りビットを反転出力するように所定の関係となるように接続されたことを特徴としている。

【 0 0 1 7 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的に行う。

#### ◇第 1 実施例

図 1 は、この発明の第 1 実施例である半導体記憶装置の構成を示す図、図 2 ～図 4 は同半導体記憶装置の主要部の構成を示す図である。以下、図 1 ～図 4 を参照して、この例の半導体記憶装置について説明する。

この例の半導体記憶装置は、図 1 に示すように、ハミング(12,8) 符号を搭載した 1 6 ビット構成の S D R A M から成り、第 1 ～第 4 の 4 つのバンク (BANK0 ～ BANK3) に分割されて各々情報ビット (INFORMATION-BITS) 領域 2 及びパリティビット (PARITY-BITS) 領域 3 を有し複数のメモリセルから構成されるメモリアレイ (MEMORY ARRAY) 1 と、入出力データバス 4 を通じて入出力される 1 6 ビットの情報ビットを各々 8 ビットに分割して入力バッファ 5 A、5 B を介して入力する入力バスライン 6 A、6 B と、メモリアレイ 1 から読み出される 1 6 ビットの情報ビットを各々 8 ビットに分割して出力し、かつメモリアレイ 1 から読み出される 8 ビットのパリティビットを各々 4 ビットに分割して出力する出力バスライン 8 A、8 B と、入力バスライン 6 A、6 B 及び出力バスライン 8 A、8 B に設けられた E C C 回路 9 とを備えている。なお、ハミング (12,8) 符号において、数値 8 は情報ビットを、数値 1 2 は 8 ビットの情報ビットに 4 ビットのパリティビットを加えて構成された符号語の符号長を示している。

#### 【 0 0 1 8 】

E C C 回路 9 は、後述するようにテスト信号 T B 1 により制御されて情報ビットに対応したパリティビットを演算出力する符号化回路 1 1 と、テスト信号 T B 2 により制御されて符号語のビット中のいずれが誤りかを示す誤り位置検出信号を出力する復号回路 1 2 と、誤り位置検出信号を入力して誤りビットを反転出力する誤り訂正回路 (ERROR CORRECTOR) 1 3 とから構成される。E C C 回路 9 はメモリアレイ 1 と同一の半導体チップ上に形成されて、いわゆる O n C h i p E C C が構成されている。

#### 【 0 0 1 9 】

また、メモリアレイ 1 にはそれぞれワードデコーダ (WORD DECODER) 1 4、

センスアンプ (SENSE AMP) 15、入力／出力ゲート (I/O GATE) 16 及びカラムデコーダ (COLUMN DECODER) 17 が、さらには情報ビットあるいはパリティビットにおける不良ビットを置き換える冗長回路が設けられている。

また、外部からそれぞれアドレス (ADDRESS) 信号、ラス (RAS; ROW ADDRESS STROBE) 信号、カス (CAS; COLUMN ADDRESS STROBE) 信号、ライトイネーブル (WE; WRITE ENABLE) 信号、クロック (CLK; CLOCK) 信号及びクロックイネーブル (CKE; CLOCK ENABLE) 信号等が入力される一方、ECC回路9へそれぞれテスト信号TB1～TB3を出力するコマンドデコーダ (COMMAND DECODER) 18 が設けられている。

#### 【0020】

次に、図2を参照して、この例の半導体記憶装置のハミング (12,8) 符号に対応したECC回路9の符号化回路11の構成について説明する。符号化回路11は、2つの入力バスライン6A、6Bからそれぞれ8ビットの情報ビットD0～D7が入力されるように設けられて、テスト信号TB1が加えられる4つのアンド (AND) 回路21A～21Dと、10個の排他的論理和 (EOR; EXCLUSIVE-OR) 回路22A～22Jとが、図2に示すような関係となるように接続されたシンδροームツリー (SYNDROME-TREE) 20により構成されている。この符号化回路11は、入力された8ビットの情報ビットD0～D7の内容に応じて、ECC回路11が所定の誤り訂正を行うことができるような4ビットのパリティビットP0～P3を演算して出力するように構成されている。各符号化回路11から出力された4ビット×2=8ビットのパリティビットは、ライトバッファ (WB; WRITE BUFFER) 10A及び入力／出力ゲート16を介してメモリアレイ1のパリティビット領域3に書き込まれる。図2において、上段に示した生成行列Gは、テスト信号TB1=L (LOW) レベルに設定されたときに、下段に示した内容となるように生成行列Gが演算される。

#### 【0021】

次に、図3を参照して、この例の半導体記憶装置のハミング (12,8) 符号に対応したECC回路9の復号回路12の構成について説明する。復号回路12は、シンδροームツリー24と、デコーダ25とにより構成されている。シンδροーム

ムツリー 2 4 は、入力／出力ゲート 1 6 からメインアンプ 1 9 A を介して読み出された 1 6 ビットの情報ビットが各出力バスライン 8 A、8 B に分割して出力された 8 ビットの情報ビット D 0 ～ D 7 と、入力／出力ゲート 1 6 からメインアンプ 1 9 B を介して読み出された 8 ビットのパリティビットが各出力バスライン 8 A、8 B に分割して出力された 4 ビットのパリティビット P 0 ～ P 3 との計 1 2 ビットの読み出し信号（リードデータ）が入力される 1 2 個の E O R 2 3 A ～ 2 3 L が、図 3 に示すような関係となるように接続されている。このシンドロームツリー 2 4 は、1 2 ビットの内容に応じて、4 ビットのシンドローム S 0 ～ S 3 を出力するように構成されている。

#### 【 0 0 2 2 】

デコーダ 2 5 は、4 ビットのシンドローム S 0 ～ S 3 が入力されて図 3 に示すような関係となるように接続された 1 2 個のナンド（NAND）回路 2 6 A ～ 2 6 L と、ナンド回路 2 6 A ～ 2 6 L の出力がそれぞれ一方の入力として加えられるとともにテスト信号 T B 2 が他方の入力として加えられて 1 2 ビットの誤り位置検出信号（訂正データ）C 0 ～ C 1 1 を出力する 1 2 個のアンド回路 2 7 A ～ 2 7 L とにより構成されている。ここで、誤りのあるビットは H（High）レベルが出力されるように構成されている。図 3 において、検査行列 H の内容の一例が示されている。

#### 【 0 0 2 3 】

次に、図 4 を参照して、この例の半導体記憶装置のハミング（12,8）符号に対応した E C C 回路 9 の誤り訂正回路 1 3 の構成について説明する。誤り訂正回路 1 3 は、それぞれ 1 2 ビットの読み出し信号 D 0 ～ D 7、P 0 ～ P 3 及び 1 2 ビットの誤り位置検出信号 C 0 ～ C 1 1 が入力される 1 2 個の E O R 2 8 A ～ 2 8 L と、E O R 2 8 A ～ 2 8 D、2 8 H ～ 2 8 L の出力が加えられるとともにテスト信号 T B 3 が加えられる 8 個のスイッチ 2 9 A ～ 2 9 H と、インバータ 3 0 とにより構成されて、誤り訂正後の読み出しデータ（情報ビット）D 0 ～ D 7 を出力するように構成されている。

#### 【 0 0 2 4 】

次に、この例の半導体記憶装置の動作について説明する。まず、通常動作につ

いて説明する。予め、テスト信号 T B 1、T B 2 及び T B 3 を H レベルに設定する。

(1) 図 1 ～図 4 に示したように、外部から入出力データバス 4 を通じて入力された 1 6 ビットの情報ビットは各々 8 ビット D 0 ～D 7 に分割されて、入力バッファ 5 A、5 B を介して入力バスライン 6 A、6 B の符号化回路 1 1 に加えられる。そして、この符号化回路 1 1 により、8 ビットの情報ビット D 0 ～D 7 に対して 4 ビットのパリティビット P 0 ～P 3 が演算出力されて、計 8 ビットのパリティビットがライトバッファ 1 0 A 及び入力／出力ゲート 1 6 を介してメモリアレイ 1 のパリティビット領域 3 に書き込まれる。同様に、各 8 ビットに分割された情報ビット D 0 ～D 7 がともに加えられて計 1 6 ビットとされて、ライトバッファ 1 0 B 及び入力／出力ゲート 1 6 を介してメモリアレイ 1 の情報ビット領域 2 に書き込まれる。

#### 【 0 0 2 5 】

(2) メモリアレイ 1 の情報ビット領域 2 から入力／出力ゲート 1 6 及びメインアンプ 1 9 A を介して読み出された 1 6 ビットの情報ビットは再び 8 ビット D 0 ～D 7 に分割されるとともに、パリティビット領域 3 から入力／出力ゲート 1 6 及びメインアンプ 1 9 B を介して読み出された 8 ビットのパリティビットは再び 4 ビット P 0 ～P 3 に分割され、1 2 ビット D 0 ～D 7、P 0 ～P 3 のリードデータとして出力バスライン 8 A、8 B の復号回路 1 2 に加えられる。そして、この復号回路 1 2 により、1 2 ビット中のいずれが誤りかを示す誤り位置検出信号 C 0 ～C 1 1 を出力する。ここで、1 2 ビット中の誤りのあるビットは H レベルが出力される。

#### 【 0 0 2 6 】

(3) 1 2 ビットの誤り位置検出信号（訂正データ）C 0 ～C 1 1 は、1 2 ビットの読み出し信号（リードデータ）D 0 ～D 7、P 0 ～P 3 とともに誤り訂正回路 1 3 に加えられて、誤りがある場合には H レベルになっているそのビットを反転出力させることにより訂正処理を実施して、8 ビットの読み出し信号 D 0 ～D 7 を出力する。この読み出し信号 D 0 ～D 7 は出力バッファ 7 A、7 B を介して入出力データバス 4 に出力されて、再び 1 6 ビットの情報ビットに戻された後

外部に出力される。この場合、情報ビット領域2あるいはパリティビット領域3に対する読み出し動作時、誤り訂正処理を実施した上記データは情報ビット領域2あるいはパリティビット領域3に再書き込みせずに、メモリアレイ1の外部のみに出力するように構成する。これは、そのように誤り訂正処理を実施したデータは、メモリアレイ1に再書き込みしなくとも、外部から読み出しできれば何ら問題はないからである。

#### 【0027】

次に、プローブテスト動作について説明する。このプローブテストは、前述したようにキャパシタに記憶される情報のポーズリフレッシュ落ちこぼれ分布、すなわちポーズリフレッシュ不良の救済（訂正）効率の向上、あるいは現実的な救済能力を実現するために、訂正能力を越えた符号語（1符号語あたり2ビット以上のエラー）が出現した場合に行なわれる冗長救済のために実行される。これには、ソリッド不良（ポーズリフレッシュ不良以外の不良で、異物等によって発生する配線ショート不良のようなプロセス不良）を検出し冗長救済するため、以下のステップで、ECC回路9による誤り訂正処理を停止した状態でパリティビットを含めた全ビットのFBM（Fail Bit Map; フェイルビットマップ）を取得する。

（1）図3の復号回路12におけるテスト信号TB2をLレベルに設定して、ECC回路9の誤り訂正処理を強制的に停止させる。これにより、復号回路12からの誤り位置検出信号C0～C11は、誤り訂正処理が実施される前のデータが出力される。この状態で、情報ビット領域2に対して、通常行なわれているファンクション試験を実施して、FBMを取得する。このFBMは、X、Yアドレスに対応して2次元表示され、パス（PASS）したビットは例えば白い点で表示され、一方フェイル（FAIL）したビットは黒い点で表示される。したがって、このような2次元表示されたFBMを取得することにより、誤り訂正処理前の不良ビットの様子を知ることができる。

#### 【0028】

（2）次に、図2～図4におけるのテスト信号TB1、TB2及びTB3をHレベルに設定して、パリティビット領域3に対して、ファンクション試験を施し

て、FBMを取得する。このように、情報ビットに対してだけでなくパリティビットに対しても、誤り訂正処理前の不良ビットの分布の様子を得るようにする。

このとき、ビットD0～D3のデータがそのままパリティビット領域3に対して書き込みあるいは読み出しされるが、ビットD4～D7は全てLレベルとする。また、そのとき必要に応じてライトバッファ10A、10Bあるいはメインアンプ19A、19Bを非活性化して、所望のデータパターンに対するファンクション試験を全ビットに対して実施する。

#### 【0029】

次に、ポーズリフレッシュ落ちこぼれ分布、すなわちポーズリフレッシュ不良を検出して、ECC回路9による救済（訂正）を実現するために、以下のステップで、誤り訂正処理を行なった状態のパリティビットを含めたFBMを取得する。ここで、表れた不良ビットに対しては、前述したような冗長救済を実施する。

（1）前述した通常動作で、情報ビット領域2に対してロング（LONG）ポーズリフレッシュ試験を実施して、FBMを取得する。このロングポーズリフレッシュ試験は、通常実施されているポーズリフレッシュ試験に対して、実力以上にポーズ時間の長いポーズ試験であり、ECC回路によるビット訂正がなければフェイルビットが発生するようになる。

（2）図3の復号回路12におけるテスト信号TB2をLレベルに設定した状態で、パリティビット領域3に対してロングポーズリフレッシュ試験を実施して、FBMを取得する。

#### 【0030】

この例の半導体記憶装置によれば、16ビットの情報データを8ビットに分割してハミング（12,8）符号を2つ搭載しているので、DQMにより、最小8ビットの書き込みが可能のため、情報ビット長を8ビットに抑え、パリティビットを4ビットにすることができる。したがって、現状のSDRAMの規格に完全に対応させることができる。

#### 【0031】

### ◇第2実施例

図5は、この発明の第2実施例である半導体記憶装置の構成を示す図、図6及

び図 7 は同半導体記憶装置の主要部の構成を示す図である。この第 2 実施例の半導体記憶装置の構成が、上述の第 1 実施例のそれと大きく異なるところは、ハミング(12,8) 符号を搭載した 16 ビット構成の SDRAM において、テスト信号を不要にし、またメモリアレイから読み出される情報ビット及びパリティビットを出力するそれぞれの出力バスラインを分離するようにした点である。

この例の半導体記憶装置は、図 5 に示すように、メモリアレイ 1 から読み出される 16 ビットの情報ビットを各々 8 ビットに分割して出力する出力バスライン 31 A、31 B と、メモリアレイ 1 から読み出される 8 ビットのパリティビットを各々 4 ビットに分割して出力する出力バスライン 32 A、32 B とが分離されている。また、第 1 実施例のように ECC 回路 9 に加えられるテスト信号 TB1 ~ TB3 を不要にして、パリティビットを直接アクセスできるような構成になっている。このような構成により、ECC 回路 9 を簡略化することができる。

#### 【0032】

次に、図 6 を参照して、この例の半導体記憶装置のハミング(12,8) 符号に対応した ECC 回路 9 の符号化回路 11 の構成について説明する。符号化回路 11 は、2 つの入力バスライン 6 A、6 B からそれぞれ 8 ビットの情報ビット D0 ~ D7 及び L レベル(0)が入力される 12 個の EOR 34 A ~ 34 L が、図 6 に示すような関係となるようにシンドロームツリー 33 により構成されている。この符号化回路 11 は、入力された 8 ビットの情報ビット D0 ~ D7 の内容に応じて、ECC 回路 11 が所定の誤り訂正を行うことができるような 4 ビットのパリティビット P0 ~ P3 を演算して出力するように構成されている。各符号化回路 11 から出力された 4 ビット  $\times 2 = 8$  ビットのパリティビットは、WB10 A 及び入力/出力ゲート 16 を介してメモリアレイ 1 のパリティビット領域 3 に書き込まれる。

#### 【0033】

次に、図 7 を参照して、この例の半導体記憶装置のハミング(12,8) 符号に対応した ECC 回路 9 の復号回路 12 の構成について説明する。復号回路 12 は、シンドロームツリー 36 と、デコーダ 37 とにより構成されている。シンドロームツリー 36 は、入力/出力ゲート 16 からメインアンプ 19 A を介して読み出



された 16 ビットの情報ビットが各出力バスライン 31 A あるいは 31 B に分割して出力された 8 ビットの情報ビット D0 ～ D7 と、入力／出力ゲート 16 からメインアンプ 19 B を介して読み出された 8 ビットのパリティビットが各出力バスライン 32 A あるいは 32 B に分割して出力された 4 ビットのパリティビット P0 ～ P3 との計 12 ビットの読み出し信号（リードデータ）が入力される 12 個の EOR 35 A ～ 35 L が、図 7 に示すような関係となるように接続されている。このシンドロームツリー 36 は、12 ビットの内容に応じて、4 ビットのシンドローム S0 ～ S3 を出力するように構成されている。

#### 【0034】

デコーダ 37 は、4 ビットのシンドローム S0 ～ S3 が入力されて図 7 に示すような関係となるように接続された 8 個の NAND 回路 38 A ～ 38 H から構成されている。このデコーダ 37 は、8 ビットの誤り位置検出信号（訂正データ）C0 ～ C7 を出力するように構成されている。ここで、誤りのあるビットは H レベルが出力されるように構成されている。

なお、ECC 回路 9 の誤り訂正回路については、第 1 実施例の図 4 の誤り訂正回路 13 に準じて構成することができるので、その図示を省略する。

#### 【0035】

この例の半導体記憶装置の通常動作及びプローブテスト動作は、第 1 実施例と略同様にして行なわれる。

この例の半導体記憶装置によれば、16 ビットの情報データを 8 ビットに分割してハミング (12, 8) 符号を 2 つ搭載しているので、第 1 実施例と略同様に動作させることができ、第 1 実施例に比較してテスト信号を不要にした分構成を簡略化することができる。

#### 【0036】

### ◇第 3 実施例

図 8 は、この発明の第 3 実施例である半導体記憶装置の構成を示す図である。この第 3 実施例の半導体記憶装置の構成が、上述の第 1 実施例のそれと大きく異なるところは、16 ビット構成の SDRAM にハミング (21, 16) 符号を搭載するようにした点である。

この例の半導体記憶装置は、図 8 に示すように、入出力データバス 4 を通じて入出力される 16 ビットの情報ビットを入力バッファ 5 を介して入力する入力バスライン 6 と、メモリアレイ 1 から読み出される 16 ビットの情報ビットを出力する出力バスライン 8 と、メモリアレイ 1 から読み出される 5 ビットのパリティビットを出力する出力バスライン 8 C と、入力バスライン 6 及び出力バスライン 8、8 C に設けられた ECC 回路 9 とを備えている。

また、この例の半導体記憶装置は、DQM の規格に対応しない構成になっており、コマンドデコーダ 18 に設けられたアドレスバッファ (ADD BUFFER) 40 と、WB10A 及び MA19B との間に WB/MA デコーダ 41 が設けられて、パリティビット用のアドレス制御回路が構成されている。

なお、ECC 回路 9 については、第 1 実施例あるいは第 2 実施例に準じて構成することができるので、その図示を省略する。

#### 【0037】

この例の半導体記憶装置は、16 ビットのデータを全て情報ビットとして捉えて、5 ビットのパリティビットを加えて符号語を構成しており、DQM の規格に対応しない例となっている。この例では、第 1 実施例及び第 2 実施例の 16 ビットの情報ビットを 8 ビットに分割して構成した例に比較して、情報ビット長を長くして、パリティビットを少なくした構成になっている。

#### 【0038】

この例の半導体記憶装置の通常動作及びプローブテスト動作は、第 1 実施例あるいは第 2 実施例と略同様に行なわれる。

この例の半導体記憶装置によれば、ハミング (21,16) 符号を搭載し、16 ビットのデータを全て情報ビットとして捉えて、5 ビットのパリティビットを加えて符号語を構成しているので、第 1 実施例あるいは第 2 実施例に比較して、情報ビット長を長くすることによりパリティビットを少なくできるので、面積デメリットの点で有利となる。

#### 【0039】

#### ◇第 4 実施例

図 9 は、この発明の第 4 実施例である半導体記憶装置の構成を示す図である。

この第4実施例の半導体記憶装置の構成が、上述の第3実施例のそれと大きく異なるところは、16ビット構成のSDRAMにハミング(22,16)符号を搭載するようにした点である。

この例の半導体記憶装置は、図9に示すように、図8に示した第3実施例と略同様な構成になっている。

この例の半導体記憶装置は、16ビットのデータを全て情報ビットとして捉えて、6ビットのパリティビットを加えて符号語を構成しており、DQMの規格に対応しない例となっている。この例では、第3実施例に比較して、パリティビットが1ビット多くなっているが、パリティビットを偶数にしたことにより、パリティビット用のアドレス制御が容易になっており、訂正能力が僅かに上がっている。第3実施例におけるハミング(21,16)符号は1ビットエラー訂正符号であるが、この例のハミング(22,16)符号は1ビットエラー訂正2ビットエラー検出符号(Single Error Correcting and Double Error Detecting;SEC/DED)となっている。

#### 【0040】

この例の半導体記憶装置によれば、ハミング(22,16)符号を搭載し、16ビットのデータを全て情報ビットとして捉えて、6ビットのパリティビットを加えて符号語を構成しているので、第3実施例に比較して、パリティビットを偶数にしてパリティビット用のアドレス制御を容易にしたので、訂正能力を向上させることができる。

#### 【0041】

### ◇第5実施例

図10は、この発明の第5実施例である半導体記憶装置の構成を示す図である。この第5実施例の半導体記憶装置の構成が、上述の第4実施例のそれと大きく異なるところは、32ビット構成のSDRAMにハミング(38,32)符号を搭載するようにした点である。

この例の半導体記憶装置は、図10に示すように、図9に示した第4実施例と略同様な構成になっている。

この例の半導体記憶装置は、32ビットのデータを全て情報ビットとして捉え

て、6ビットのパリティビットを加えて符号語を構成しており、DQMの規格に対応しない例となっている。この例では、×32品の規格に対応しており、情報ビットに対するパリティビットが少なくなっている。この例のハミング(38,32)符号は1ビットエラー訂正符号となっている。

#### 【0042】

この例の半導体記憶装置によれば、ハミング(38,32)符号を搭載し、32ビットのデータを全て情報ビットとして捉えて、6ビットのパリティビットを加えて符号語を構成しているので、第4実施例に比較して、情報ビット長を長くすることによりパリティビットを少なくできるので、面積デメリットの点で有利となる。

#### 【0043】

#### ◇第6実施例

図11は、この発明の第6実施例である半導体記憶装置の構成を示す図である。この第6実施例の半導体記憶装置の構成が、上述の第5実施例のそれと大きく異なるところは、32ビット構成のSDRAMにハミング(40,32)符号を搭載するようにした点である。

この例の半導体記憶装置は、図11に示すように、図10に示した第5実施例と比較して、パリティビット用のアドレス制御回路が不要になっている。

この例の半導体記憶装置は、32ビットのデータを全て情報ビットとして捉えて、8ビットのパリティビットを加えて符号語を構成しており、DQMの規格に対応しない例となっている。この例では、第5実施例に比較して、パリティビットを2ビット多くして8ビットとすることにより、パリティビット用のアドレス制御回路を不要にして、訂正能力を僅かながら向上させている。この例のハミング(40,32)符号1ビットエラー訂正2ビットエラー検出符号(SEC/DED)となっている。

#### 【0044】

この例の半導体記憶装置によれば、ハミング(40,32)符号を搭載し、32ビットのデータを全て情報ビットとして捉えて、8ビットのパリティビットを加えて符号語を構成しているので、第5実施例に比較して、パリティビット用のアド

レス制御回路を不要にしたので、訂正能力を向上させることができる。

【 0 0 4 5 】

以上説明したようなこの発明の各実施例によれば、従来問題であったポーズリフレッシュ落ちこぼれ分布、すなわちポーズリフレッシュ不良を効率良く訂正することができるようになり、以下のような効果が得られる。

(1) リフレッシュ周期を従来の規格である略 6 0 m s (ミリセカンド) から略 5 1 2 m s (エラー率は略 0. 0 1 % 以下) まで延長することが可能となり、メモリセルにおけるデータ保持電流を略 1 桁低減することができる。

(2) 最近問題になっている実機不良 (顧客不良) のほとんどは、シングルビット不良 (1 ビットエラー) であるため、その発生不良率を略 3 桁低減することができる。

(3) ソフトエラー率を略 3 桁以上向上させることができる (エラー率が略 0. 0 0 1 % の場合)。

(4) ポーズリフレッシュ不良、ソフトエラーだけでなく、ビット不良等のソリッド不良も訂正可能となるため、冗長救済との相乗効果で製造歩留を向上させることができ、チップサイズ増加 (パリティビット追加) による取得数低下を相殺することができる。

【 0 0 4 6 】

以下、上記効果が得られる理由について、詳細に説明する。

(1) この発明の発明者は、発生したポーズリフレッシュ不良について、過去製品から他社製品にわたって分析した結果、ポーズリフレッシュ不良の訂正のためには、エラー率を略 0. 0 0 5 % ~ 0. 0 1 % の範囲に想定すればよく、このエラー率には重大な意味があることが判明した。

メモリセルにおけるポーズリフレッシュ落ちこぼれ分布は、図 1 2 に示すように、ポーズ時間 (PAUSE-TIME) (横軸) と累積フェイルビット数 (CUMULATIVE FAIL-BITS #) (縦軸) との関係で示される。ポーズ時間は、メモリセルにデータを書き込んだ後に何もせずに放置した状態の時間を示し、累積フェイルビット数は、ポーズリフレッシュ試験を実施してポーズ時間ごとにフェイルビット数をカウントして累積した数を示している。累積フェイルビット数は、またビットのエラ

一率を示している。

【 0 0 4 7 】

図 1 2 において、ビット個々のポーズリフレッシュ実力を示す特性 A は、全体の略 9 9 . 9 % を占める良い分布である直線状のノーマル分布 A 1 と、残りの略 0 . 1 % を占める悪い分布である曲線状のポーズリフレッシュ落ちこぼれ分布（ポーズリフレッシュ不良） A 2 との 2 つの正規分布で表される。全ビットを 1 0 0 % とすると、分布 A 2 におけるテールビット（Tail-Bits; 落ちこぼれビット）の数は略 0 . 0 1 % の確率で存在している。また、特性 B は、分布 A 2 におけるテールビットの数を母数にとった場合に得られた分布を示している。ワースト（WORST）は最悪を示し、ミーン（MEAN）は平均を示している。ここで、ポーズリフレッシュ不良の訂正のためには、リフレッシュ周期延長を効率良く図れる分布 A 2 を訂正対象に選ぶようにする。

【 0 0 4 8 】

また、ポーズリフレッシュ実力の違いは、図 1 3 に示すように、自社他社問わずに、ノーマル分布 A 1 の差は僅かであって、落ちこぼれ分布 A 2（A 社、B 社、C 社）に依存している。落ちこぼれ及びワーストの分布は、その母数であるテールビット総数と、その正規分布のばらつきにより、図 1 4 に示すように、落ちこぼれ分布の平均値の変化はほとんどなく、母数の増加とばらつきの増加が連動して起きる特徴がある。

その結果、母数 1 桁の増減であれば、ワーストの変化はせいぜい 2 倍程度と想定されるのに対して、現実には桁の大きさに悪化するので、改善しなければならない。

【 0 0 4 9 】

図 1 5 は、メモリセルの主要部を示す断面図、図 1 6 はメモリセルの駆動回路を概略的に示す図である。メモリセルは、図 1 5 に示すように、素子分離領域（Shallow Groove Isolation; SGI） 5 1 で絶縁分離された P<sup>-</sup>型基板 5 2 に一對の N<sup>+</sup>型領域 5 3、5 4 が形成され、層間絶縁膜 5 5 中にはワード線（WL） 5 6 が形成されている。また、一方の N<sup>+</sup>型領域 5 3 にはビット線（BL） 5 7 が接続される一方、他方の N<sup>+</sup>型領域 5 4 には容量コンタクト（SN） 5 8 を介して

キャパシタ 5 9 が形成されている。キャパシタ (CS) 5 9 は、下部電極 6 0 A と、上部電極 (PLT) 6 0 C と、両電極 6 0 A、6 0 C 間に配置された容量絶縁膜 6 0 B とから構成されている。

駆動回路は、図 1 6 に示すように、メモリセルのビット線 5 7 に接続されたセンスアンプ 6 1、ワード線 5 6 に接続されたワードドライバ 6 2 等により構成されている。

#### 【 0 0 5 0 】

図 1 5 のメモリセルの動作時、キャパシタ 5 9 に接続されている  $N^+$  型領域 5 4 と基板 5 2 との PN 接合が逆バイアスされると、基板 5 2 側に空乏層 5 0 が伸びる。この空乏層 5 0 中の電界強度分布は、図 1 7 のように表される。

#### 【 0 0 5 1 】

ポーズリフレッシュ落ちこぼれ分布において、母数の増加とばらつきの増加が連動して起きる原因は、以下のように理解される。

ポーズリフレッシュ不良は、図 1 5 のメモリセルの PN 接合の逆バイアスにより生ずるリーク電流により引き起こされて、個々のメモリセルは容量コンタクト 5 8 に寄生する空乏層 5 0 中に接合リーク電流を増倍させる劣悪な欠陥 (トラップ準位) が存在した場合、テールビットになると考えられる。その欠陥は、図 1 7 に示すように、メモリセルの製造時に施されるエッチングやイオン打ち込み等のダメージを大きく受ける基板 5 2 の表面ほど存在確率が高い (欠陥密度が高い) と考えられる。この欠陥密度分布は PN 接合の最適設計 (ドーズ量や接合面深さの調整等) を行っても大きく変化しないと考えられる。

#### 【 0 0 5 2 】

図 1 7 において、電界強度分布が A から B へ移った場合を考える。ここで、図 1 7 の電界強度分布は、PN 接合の不純物密度を階段接合と近似して考えるものとする。例えば電界強度分布 B は、一旦電界強度分布 A が形成された後、容量コンタクト 5 8 に低い濃度のイオン打ち込み及びアニール処理を施して、形成されたものとする。電界強度分布 B の接合面は深い位置にシフトし、不純物濃度分布が穏やかになったことで、空乏層中の最大電界 ( $E_{max}$ ) は低下し、さらに空乏層幅が伸びた状態になる。このように接合面が深くなったことで、電界強度分布

Bの空乏層中に存在する欠陥数は減少することになる。空乏層幅が伸びたことで、空乏層中に欠陥を取り込む確率は上がるが、接合面が深い位置にシフトしたことで、欠陥密度は桁の大きさを低下し、結局テールビット数は減少すると考えられる。また、接合リーク電流はTAT (Trap Assist Tunneling) と良く一致し、 $I_J \propto \exp(E_{\max})$  であること、電界強度分布Bでは $(E_{\max})$  が低減されていることから、接合リーク電流のばらつきは減少することになる。以上から、テールビットの母数増加とばらつき増加が連動して起きる。

## 【0053】

この特性を分析した結果、テールビットの母数とワーストには、自社他社問わず、定性的かつ定量的に、図18に示すようにある程度決まった特性があることを発見した。

リフレッシュ規格64msを満足するには、現実のワースト（実力）は略2倍の100msが必要となるが、そのときには必然的にテールビット数は略0.01%程度存在することになる。つまり、従来製品レベルの特性を前提に考えれば（リフレッシュ規格を満足する製品であれば）、ECC回路の訂正能力は最悪0.01%程度のエラー率に対応できればよいことになる。厳密には、すべてのテールビット数を訂正する必要はなく、ポーズ累積度数分布から略半分の0.005%程度のエラー率に対応できれば十分である。逆に、それ以上の訂正能力を必要とする特性では、規格を満足できておらず、もともとのベース製品が成立しない。

## 【0054】

符号方式の観点から、エラー率0.01%以上に対応するには、図19に示すように周知のBCH (Base-Chaudhuri Hocquengham) 符号等を用いた多重訂正が必要となるが、ハミング符号に比べて回路規模が桁の数で大きくなり、DRAMの高速動作を損なうものになってしまう。符号長を短くしていけば、訂正能力を上げられるが、符号長が最短のハミング(7,4)符号でも、対応可能なエラー率はせいぜい0.015%程度である。無理にこの発明を適用しても、もともとリフレッシュ規格を満たさないリフレッシュ特性では、従来のリフレッシュ周期に対して大幅な延長を図ることができず、その効果は薄くなる。パリティビット追



加による面積デメリットを考えれば適用する意味はなくなってくる。

#### 【 0 0 5 5 】

ハミング符号の構成を考えた場合、DRAMでは情報ビットは $2^n$  [bits] (最近では、 $n \geq 2$ を想定すればよい)といえる。このとき、ハミング符号のパリティビット数は $(N+1)$  [bits] 以上となる。現実には、エラー率0.005%以上に対応できればよいので、その訂正能力の関係から、符号長70 [bits] 程度が上限となる。ここで、パリティビット数は小さく抑えたいので、ハミング (72,64) 符号 (SEC+DED) が現実的な上限になる。

#### 【 0 0 5 6 】

(2) ポーズリフレッシュ不良はアドレス依存性がなく、その出現確率はポアソン分布とよく一致する。64 Mb SDRAMの場合について符号長と符号語内に出現する不良ビット数の関係を計算した結果を図20に示す。

冗長救済を行なわなかった場合、符号長を8まで短くしても、訂正不可能な2ビット不良の出現数は1以下にならない。つまり、ハミング符号のみでは良品はとれないことを示している。BCH符号により多重訂正した場合には、符号長を4k [bits] に長くとっても、4重訂正すれば5ビット不良の出現確率は1以下になり、対応できるレベルになる。しかし、前述したようにDRAMへの搭載は現実的ではなくなる。つまり、ハミング符号でポーズリフレッシュ不良に対応するためには、冗長救済との併用が必須になる。

#### 【 0 0 5 7 】

(3) ソフトエラー等の出荷後に出現する不良に対する信頼度について計算する。ハミング (1,k) 符号を適用した場合、メモリ容量をMとすると、符号語の数は $M/K$ 、うち1ビット不良を持つ符号語の数は、 $M \times 1/K \times [err]$  (エラー率) となる。ここで、1ビット不良を持つ符号語内に新たに不良ビットが出現すると、そのチップは不良になる。新たに1ビット不良が出現した場合、その不良率は、既に1ビット不良を持つ符号語の数を、符号語の全数で割った値、 $1 \times [err]$  となる。ここで、リフレッシュ周期512ms (エラー率0.001%)、ハミング (12,8) 符号とした場合、その値は120ppmとなる。符号語1を72まで長くしても、720ppmとなり、ソフトエラー等の不良率を3桁以上低減で

きることが分かる。図 2 1 は、一例として 6 4 Mb D R A M にハミング (12, 8) 符号を適用した場合の例について示している。

#### 【 0 0 5 8 】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、本文実施例においては、1 6 ビット構成及び 3 2 ビット構成の D R A M に適用した例で説明したが、これに限らず 4 ビット構成あるいは 8 ビット構成の他の D R A M に対しても同様に適用することができる。

#### 【 0 0 5 9 】

##### 【発明の効果】

以上説明したように、この発明の半導体記憶装置によれば、情報ビットの書き込みあるいは読み出しを行なう情報ビット領域、パリティビットの書き込みあるいは読み出しを行なうパリティビット領域、情報ビットあるいはパリティビットにおける不良ビットを置き換える冗長回路を少なくとも有する複数のメモリセルから構成されるメモリアレイと、符号長が略 7 2 以下のハミング符号を用いて、メモリアレイの情報ビット領域あるいはパリティビット領域に対して書き込みあるいは読み出しする情報ビット及びパリティビットを含むデータに誤り訂正処理を実施する E C C 回路とを備えるので、メモリアレイの冗長回路による不良ビットの冗長救済及び E C C 回路のハミング符号による誤り訂正処理を併用可能とすることができる。

したがって、ポーズリフレッシュ落ちこぼれ分布においてエラー率の低いビットを効率良く救済して、ポーズリフレッシュ実力以上にリフレッシュ周期を長周期化して、データ保持電流の大幅な低減を実現することができる。

##### 【図面の簡単な説明】

#### 【図 1】

この発明の第 1 実施例である半導体記憶装置の構成を示す図である。

#### 【図 2】

同半導体記憶装置の主要部の構成を示す図である。

【図 3】

同半導体記憶装置の主要部の構成を示す図である。

【図 4】

同半導体記憶装置の主要部の構成を示す図である。

【図 5】

この発明の第 2 実施例である半導体記憶装置の構成を示す図である。

【図 6】

同半導体記憶装置の主要部の構成を示す図である。

【図 7】

同半導体記憶装置の主要部の構成を示す図である。

【図 8】

この発明の第 3 実施例である半導体記憶装置の構成を示す図である。

【図 9】

この発明の第 4 実施例である半導体記憶装置の構成を示す図である。

【図 1 0】

この発明の第 5 実施例である半導体記憶装置の構成を示す図である。

【図 1 1】

この発明の第 6 実施例である半導体記憶装置の構成を示す図である。

【図 1 2】

この発明の背景を説明するためのポーズ累積度数分布を示す図である。

【図 1 3】

同ポーズ累積度数分布を示す図である

【図 1 4】

同ポーズ累積度数分布におけるテイル分布の変化を示す図である。

【図 1 5】

半導体記憶装置である D R A M のメモリセルの主要部を示す断面図である。

【図 1 6】

同メモリセルの駆動回路を概略的に示す図である。

【図 1 7】

同メモリセルの空乏層中の電界強度分布を示す図である。

【図 1 8】

この発明の背景を説明するためのテイルビット数とポーズ時間との関係を示す図である。

【図 1 9】

誤り訂正に用いられる BCH 符号の訂正能力を示す図である。

【図 2 0】

ポーズ不良の出現分布を示す図である。

【図 2 1】

DRAM にハミング符号を適用する一例を示す図である。

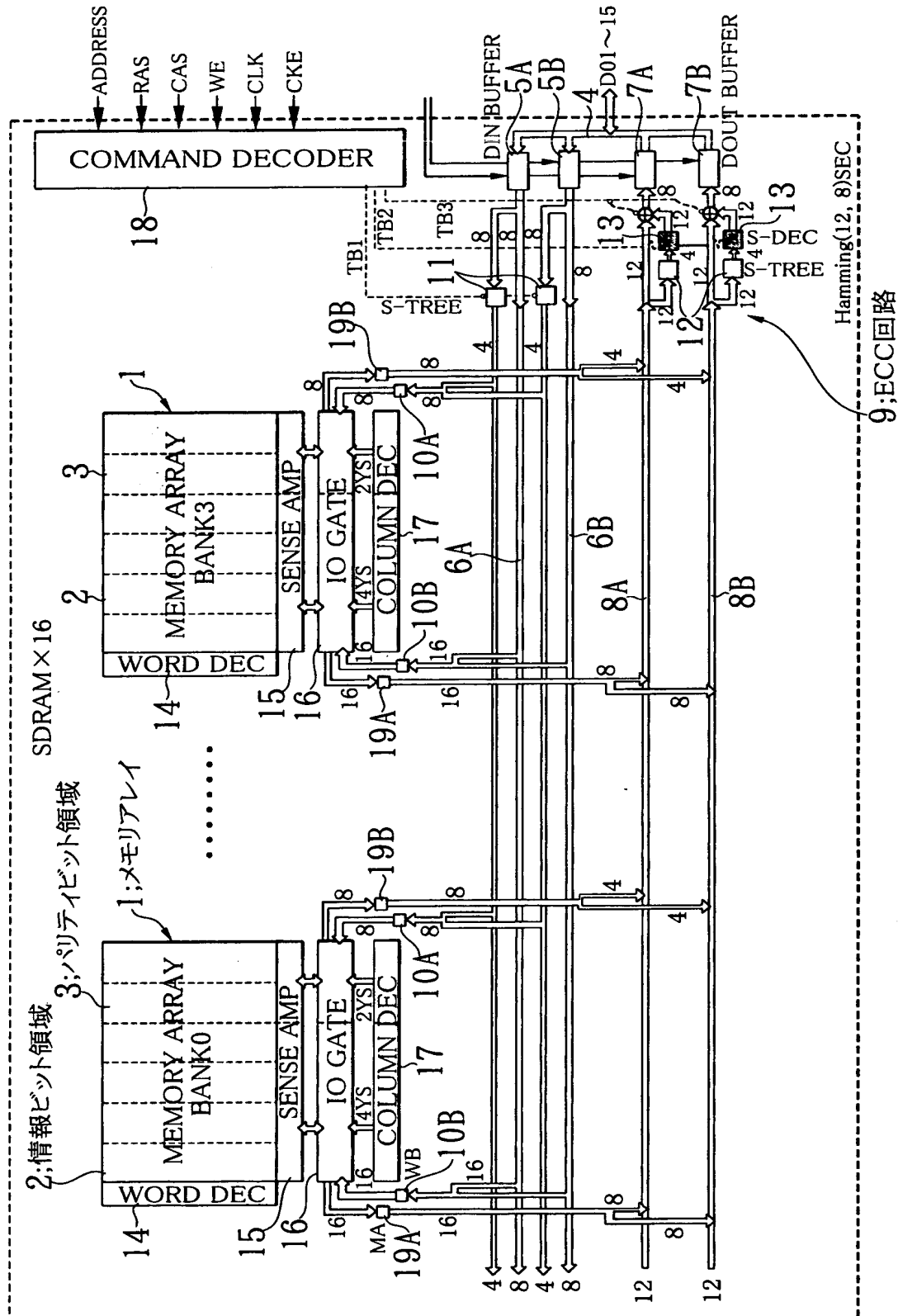
【符号の説明】

- 1        メモリアレイ
- 2        情報ビット領域
- 3        パリティビット領域
- 4        入出力データバス
- 5 A、5 B        入力バッファ
- 6 A、6 B        入力バスライン
- 7 A、7 B        出力バッファ
- 8 A、8 B、3 1 A、3 1 B、3 2 A、3 2 B        出力バスライン
- 9        ECC 回路
- 1 0 A、1 0 B        ライトバッファ (WB)
- 1 1        符号化回路
- 1 2        復号回路
- 1 3        誤り訂正回路
- 1 4        ワードデコーダ
- 1 5        センスアンプ
- 1 6        入力／出力ゲート
- 1 7        カラムデコーダ
- 1 8        コマンドデコーダ

19A、19B      メインアンプ (MA)  
20、24、33、36      シンドロームツリー  
21A～21D、27A～27L      アンド回路 (AND)  
22A～22J、23A～23L、28A～28L、34A～34L、35  
A～35L      排他的論理和回路 (EOR)  
25      デコーダ  
26A～26L、38A～38H      ナンド回路 (NAND)  
29A～29H      スイッチ  
30      インバータ  
37      デコーダ  
40      アドレスバッファ  
41      WB/MAデコーダ

【書類名】 図面

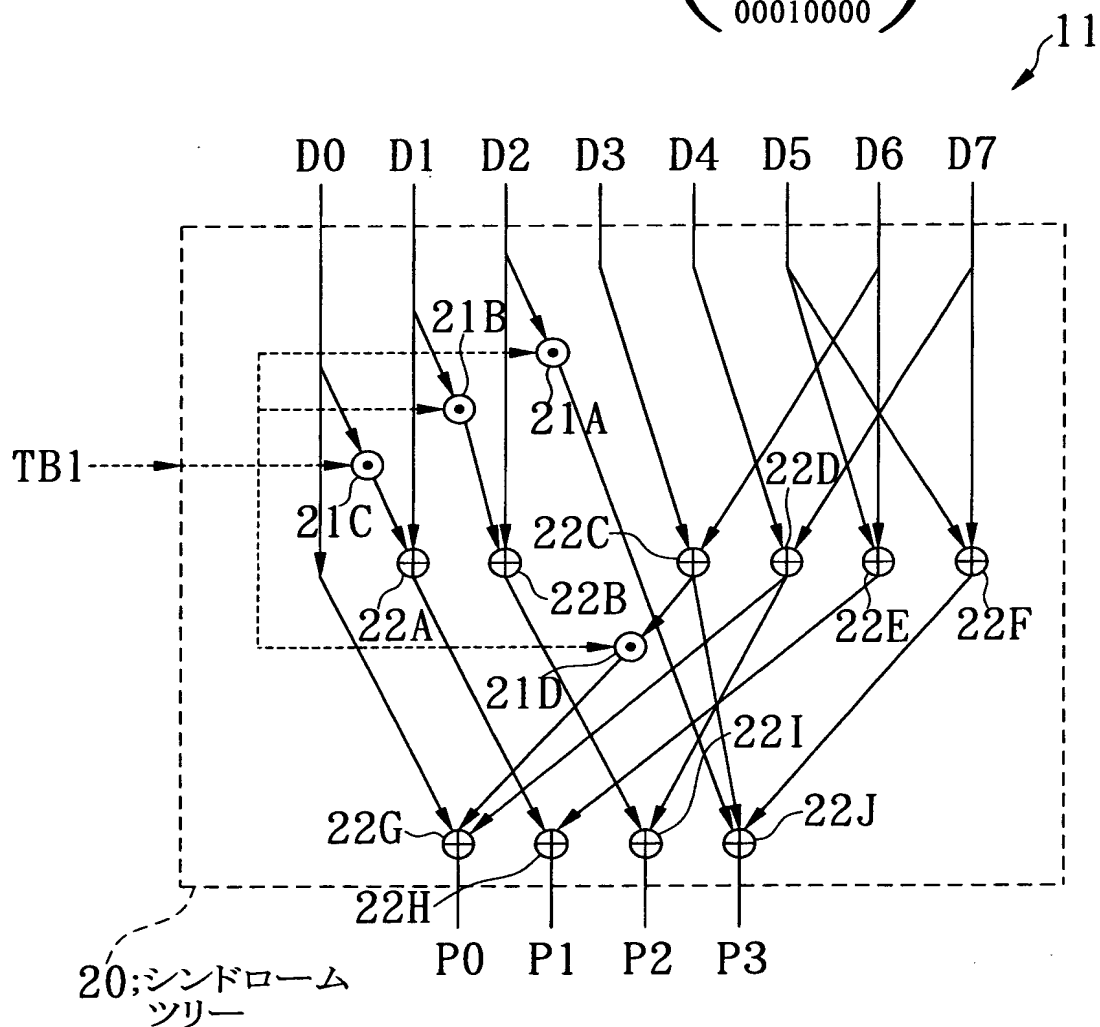
【図 1】



【図 2】

$$\text{生成行列 } G = \begin{pmatrix} 10011011 \\ 11000110 \\ 01101001 \\ 00110111 \end{pmatrix}$$

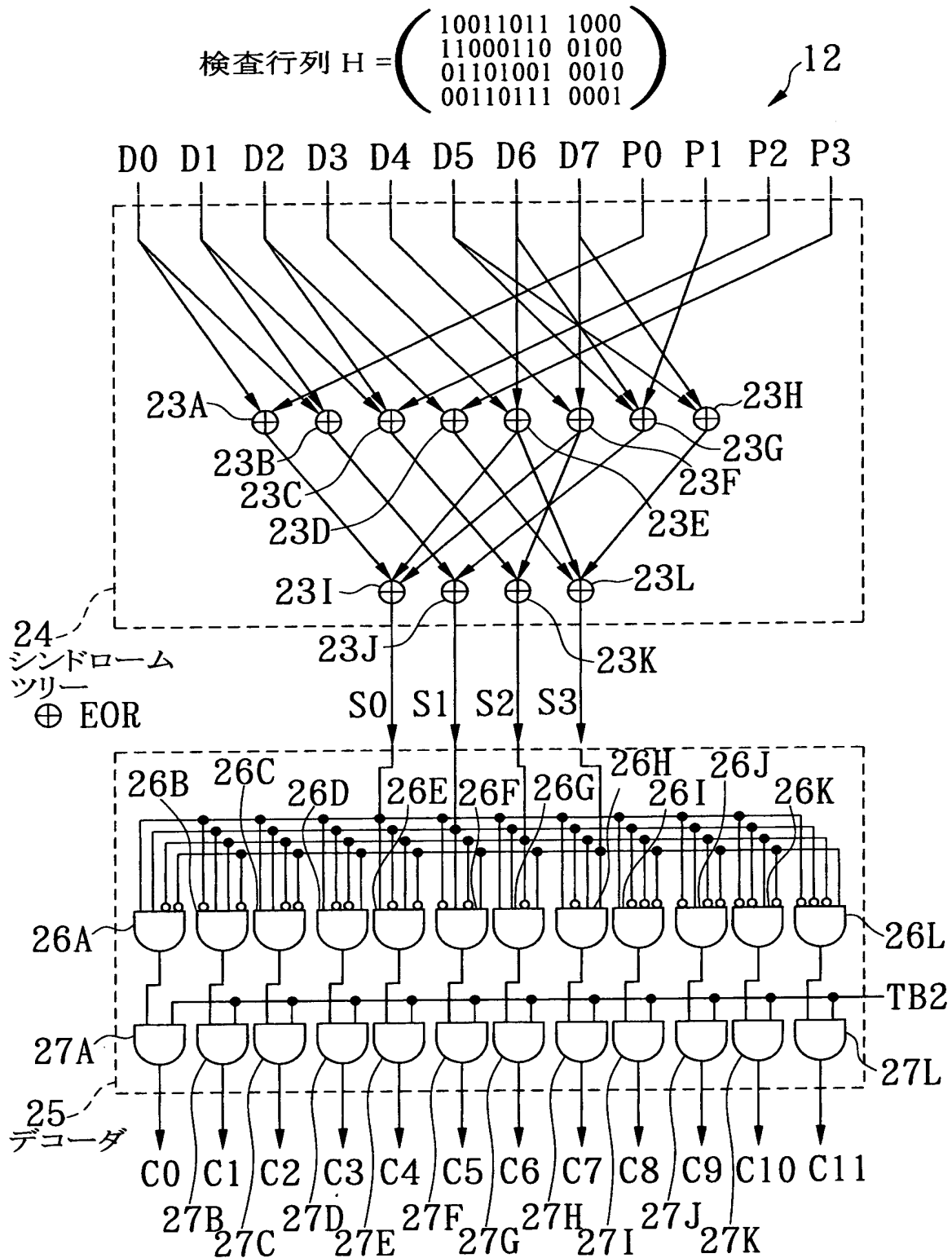
$$\text{TB1=LOWのとき 生成行列 } G = \begin{pmatrix} 10000000 \\ 01000000 \\ 00100000 \\ 00010000 \end{pmatrix}$$



⊙ AND

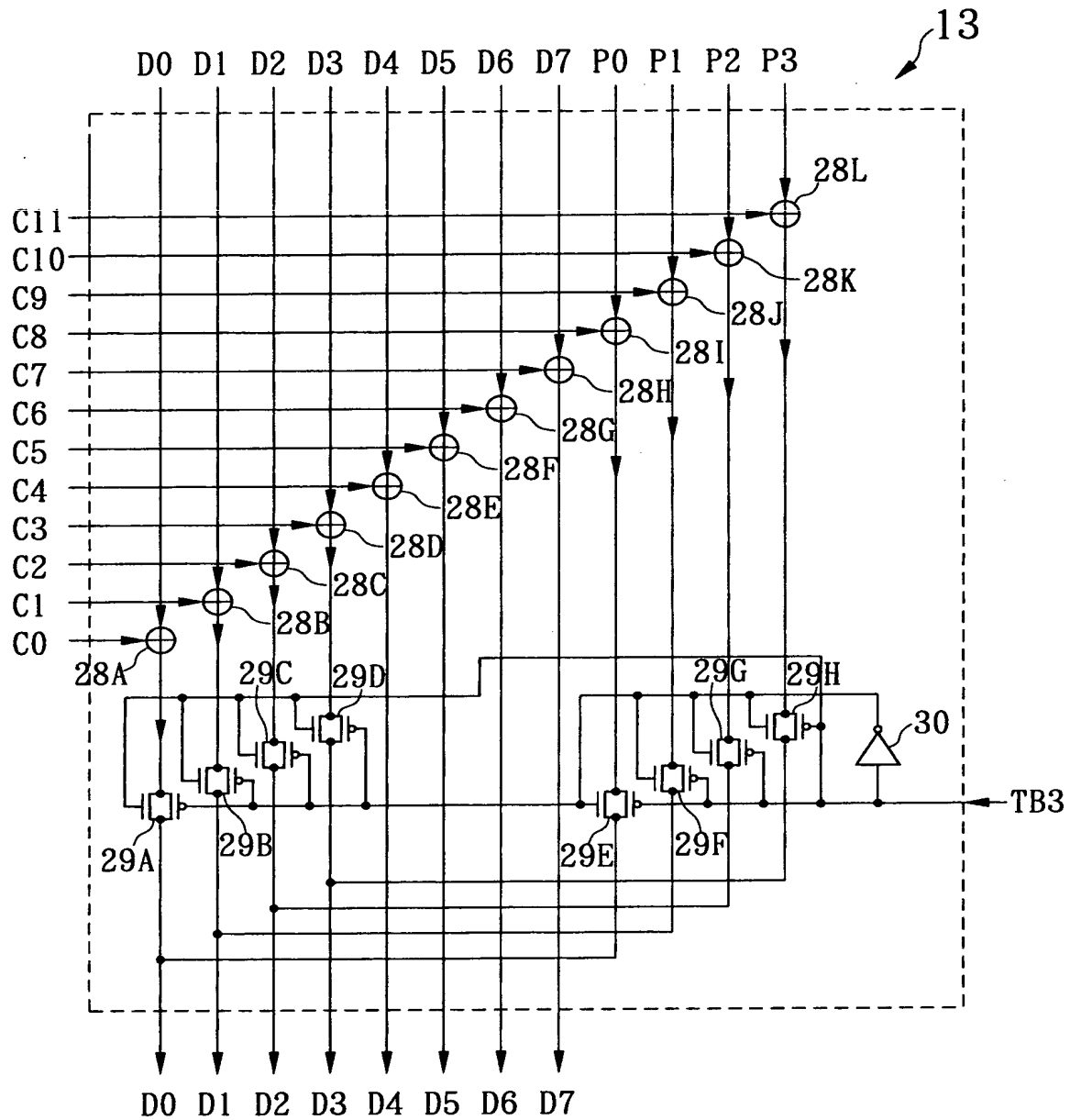
⊕ EOR

【図 3】

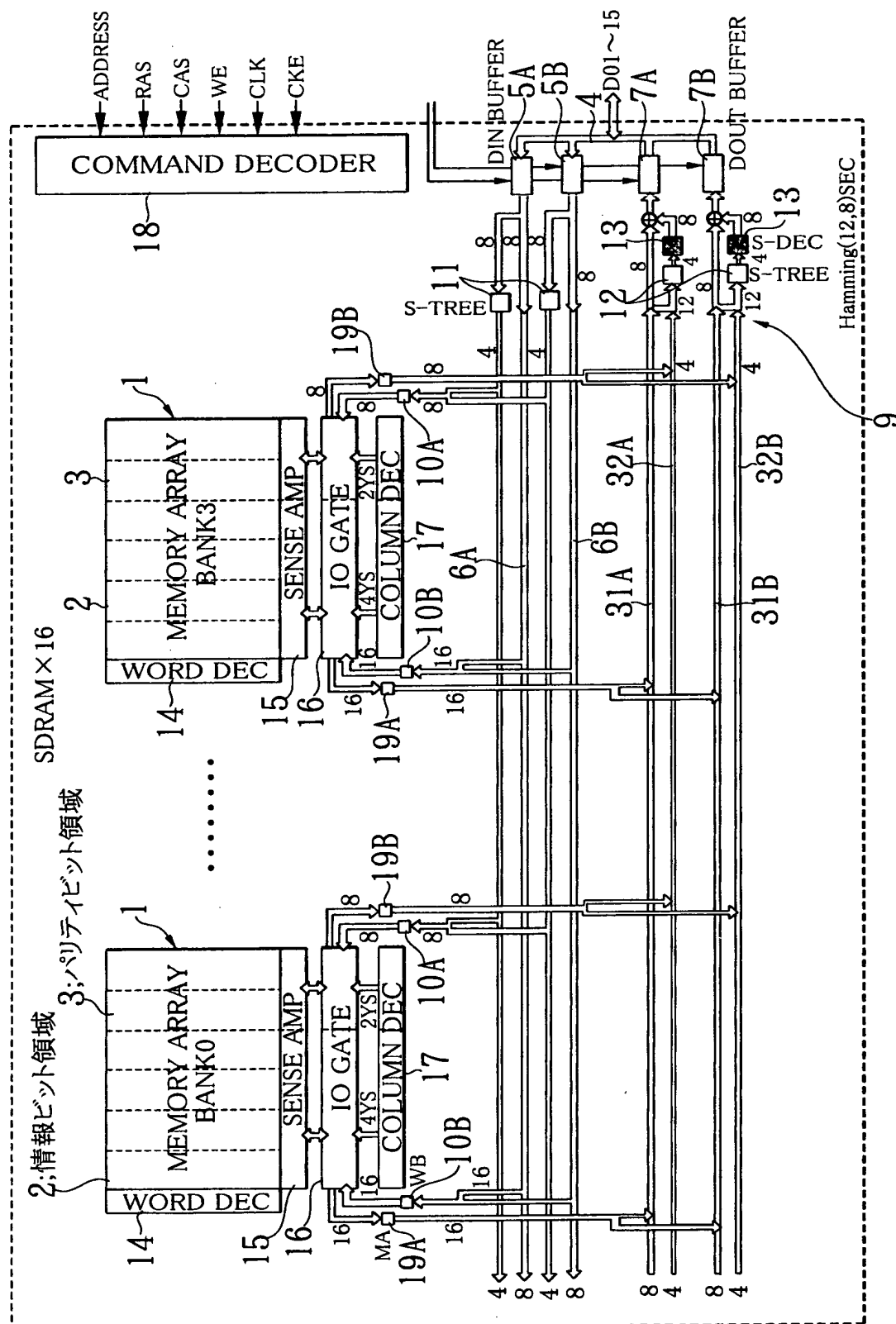




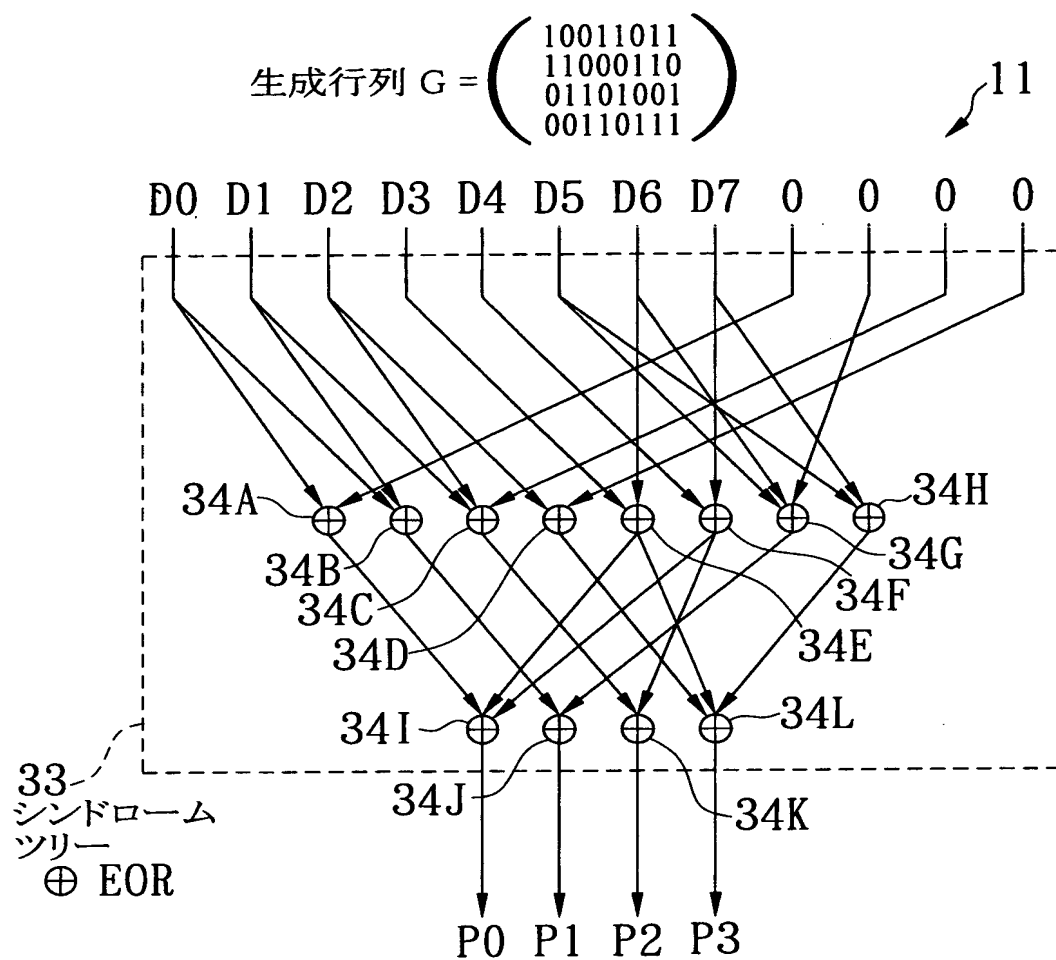
【図 4】



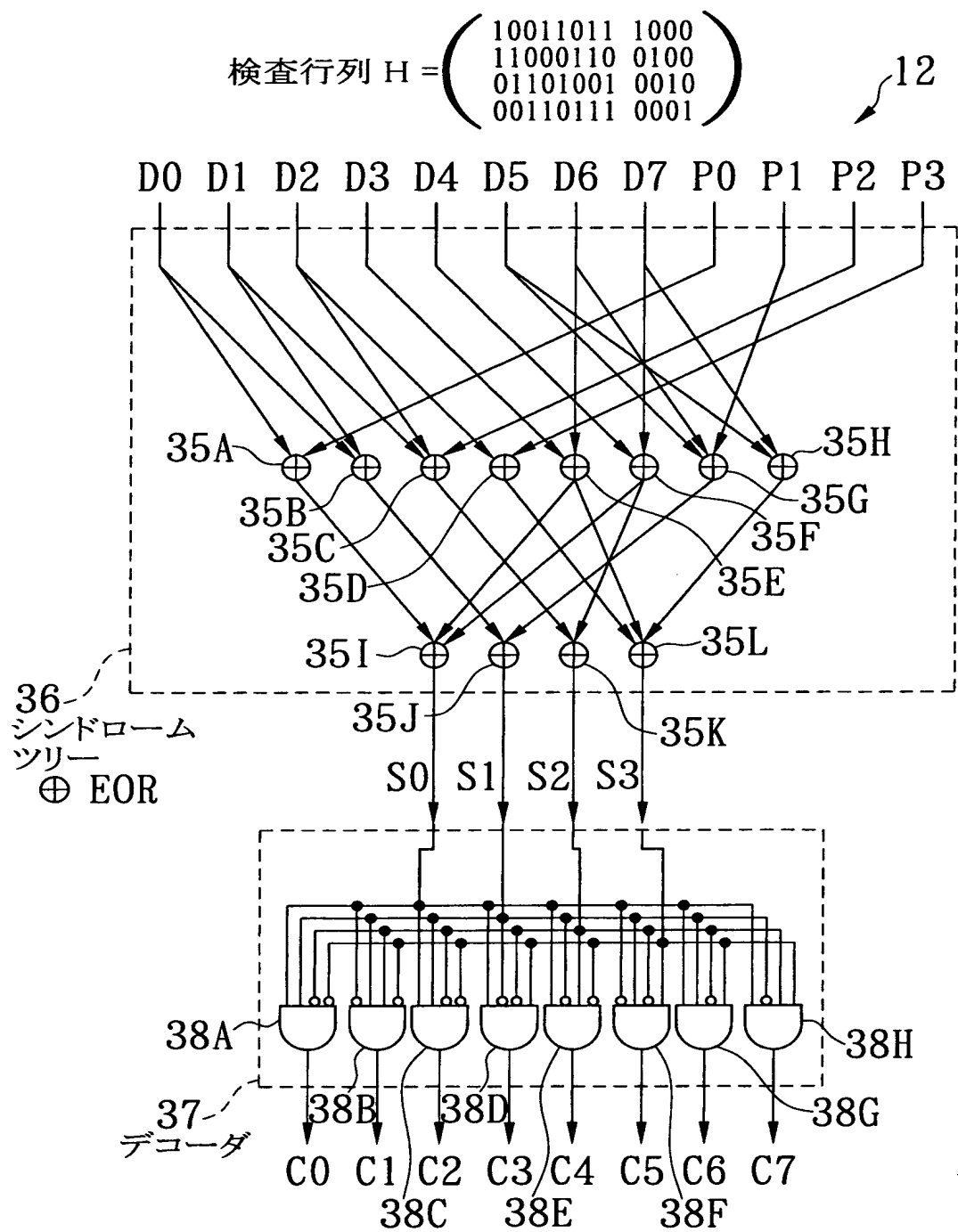
【図 5】



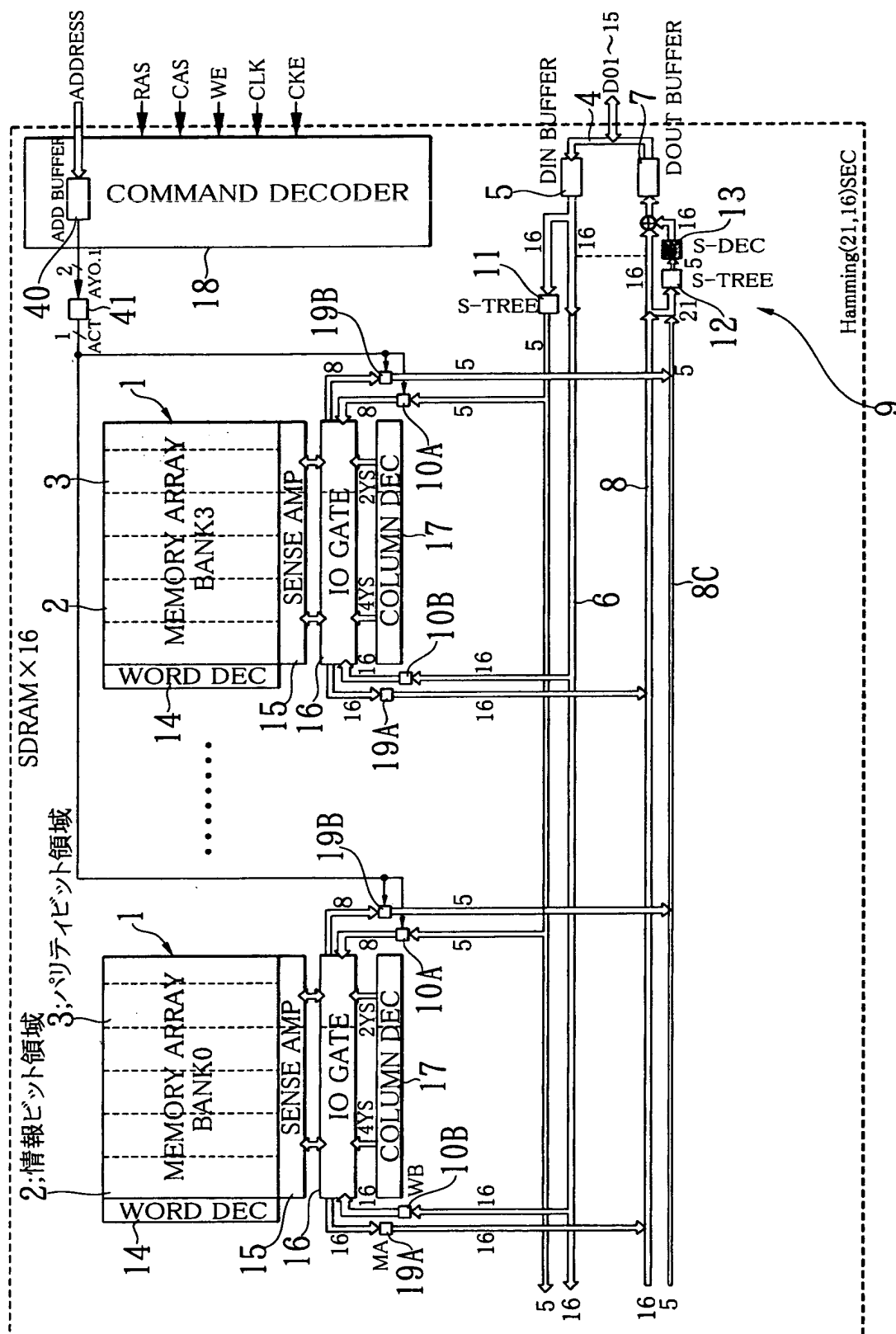
【図 6】



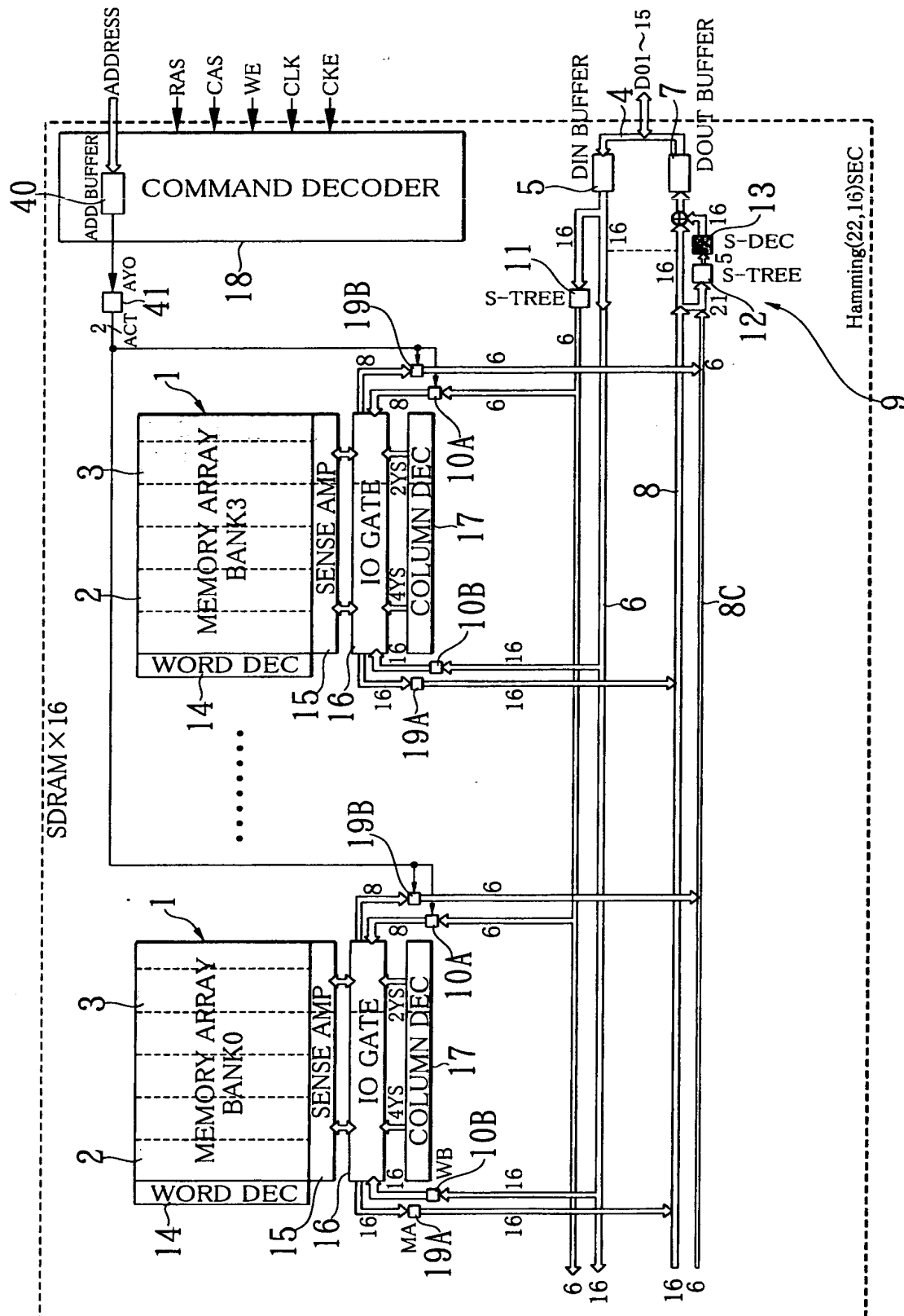
【図 7】



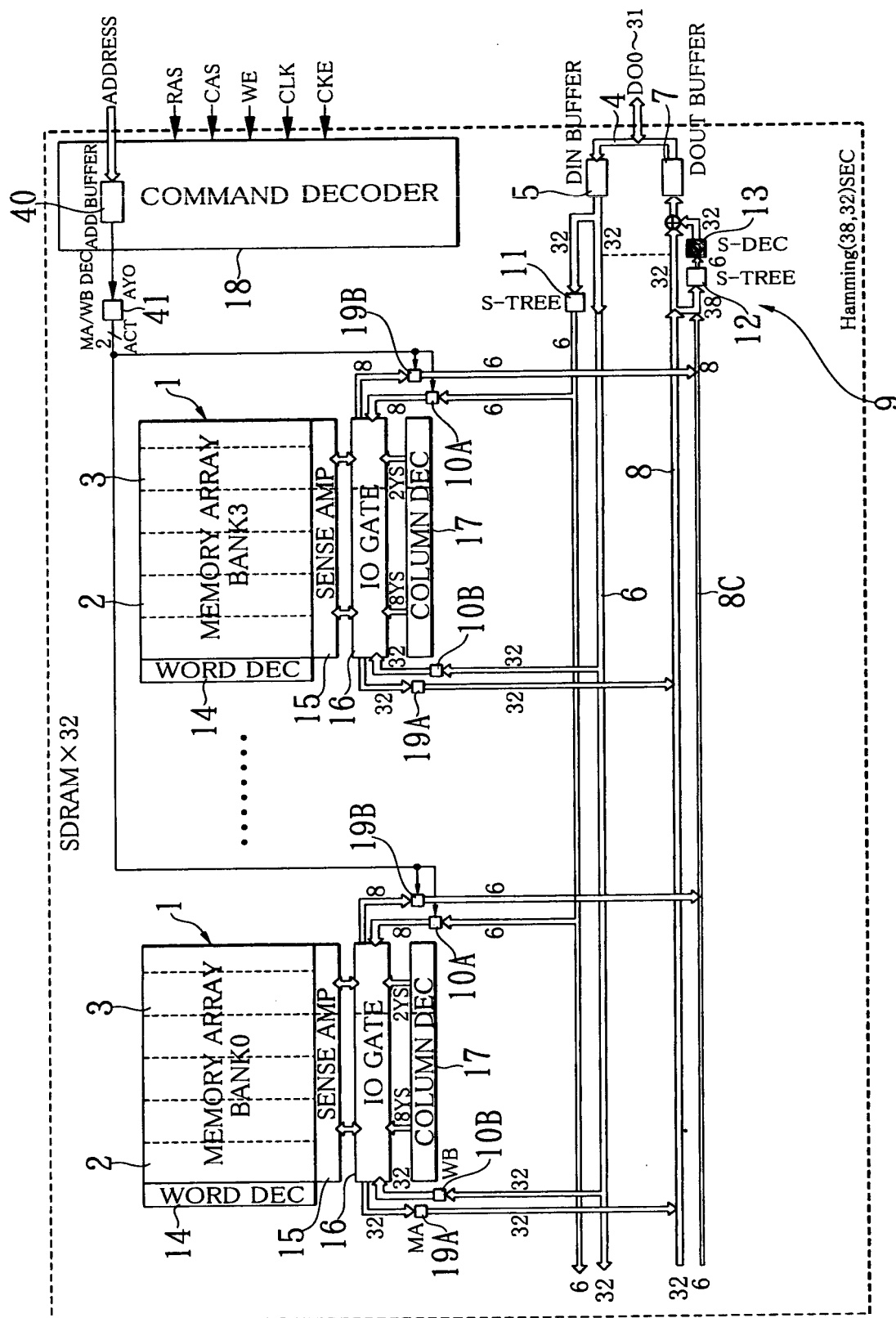
【図 8】



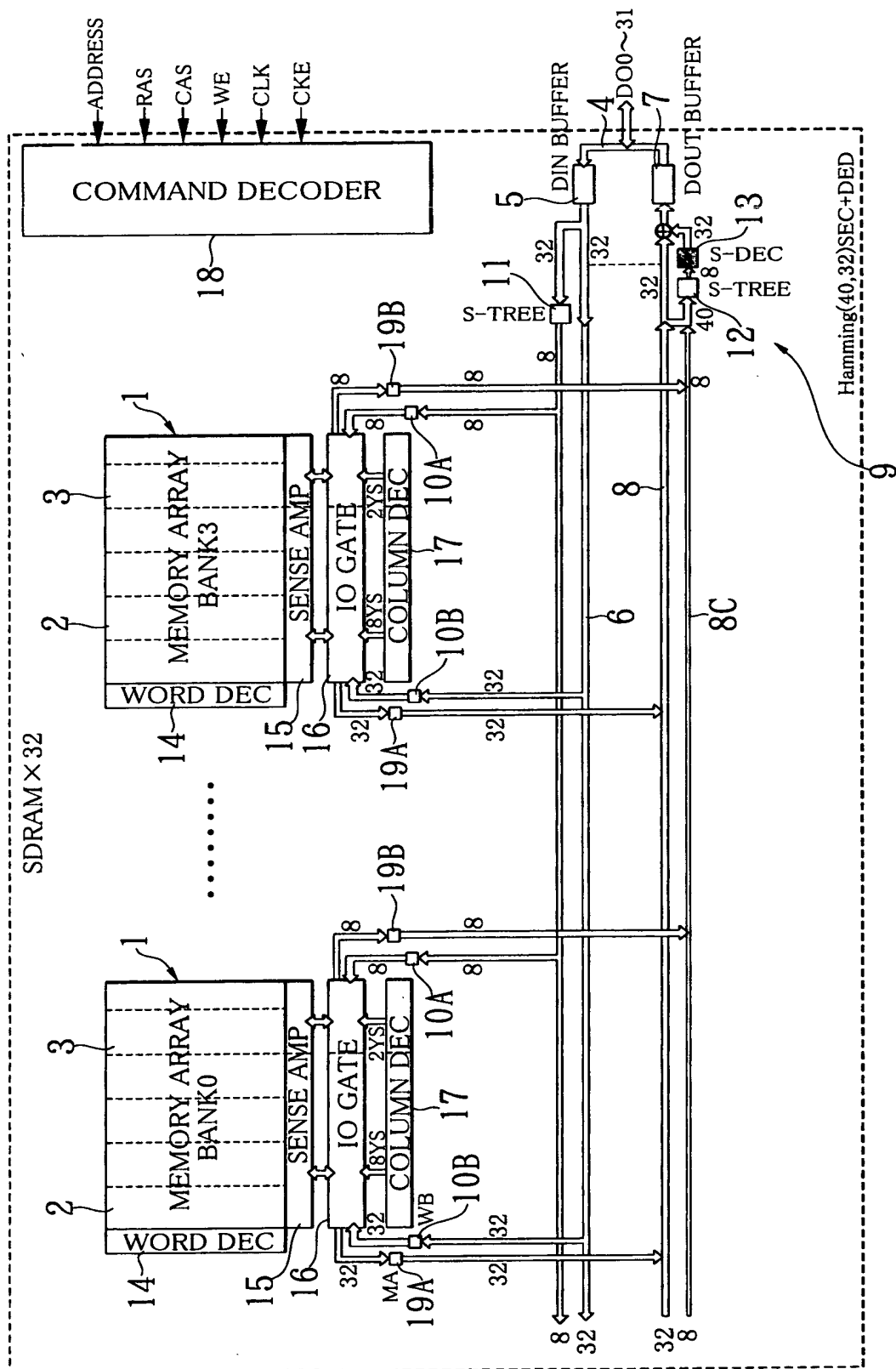
【図 9】



【図 10】

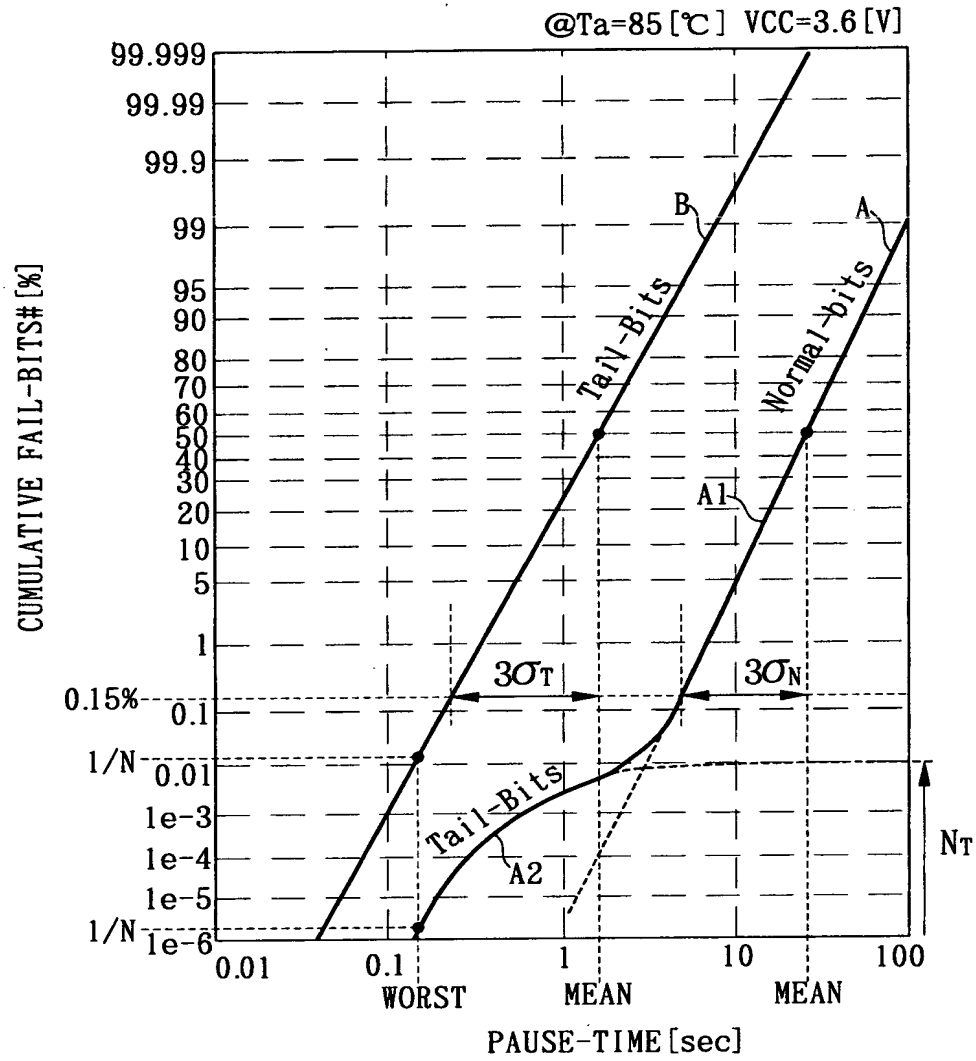


【图 1 1】

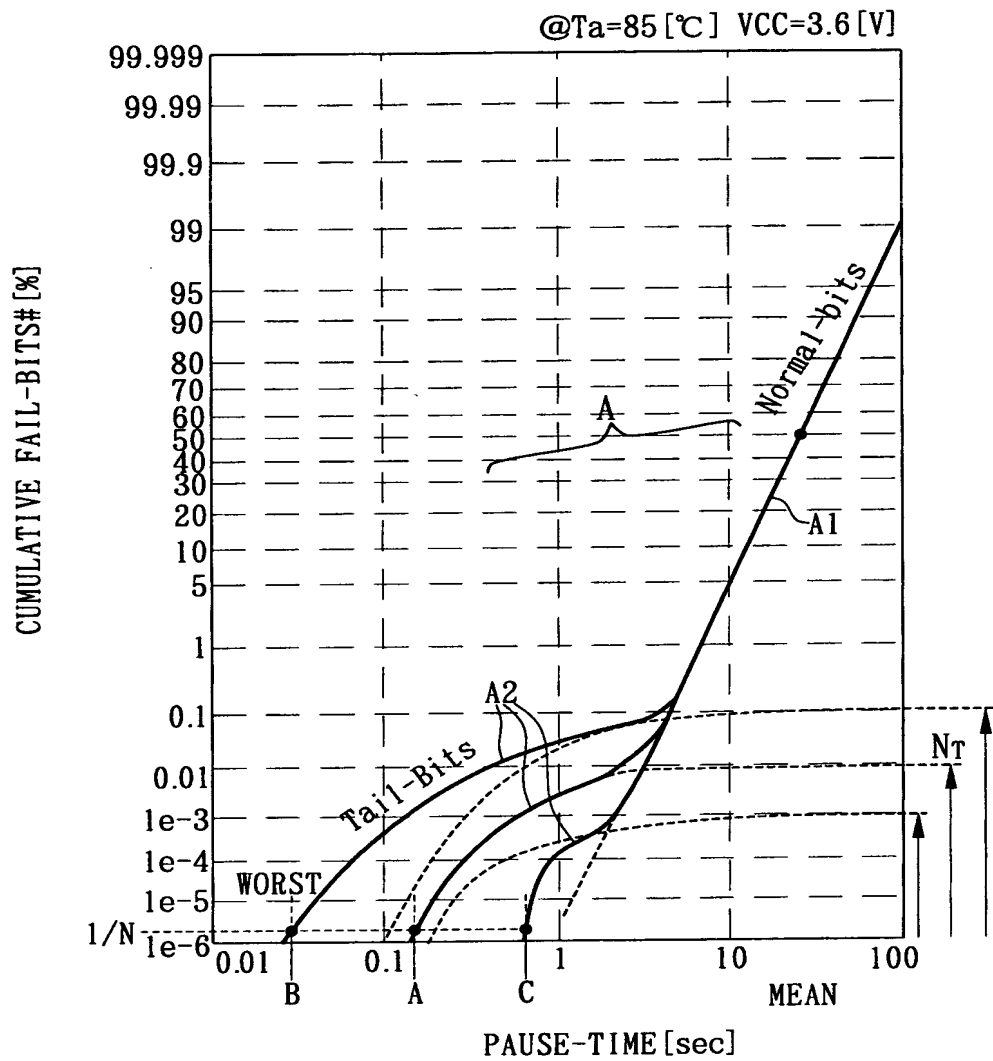




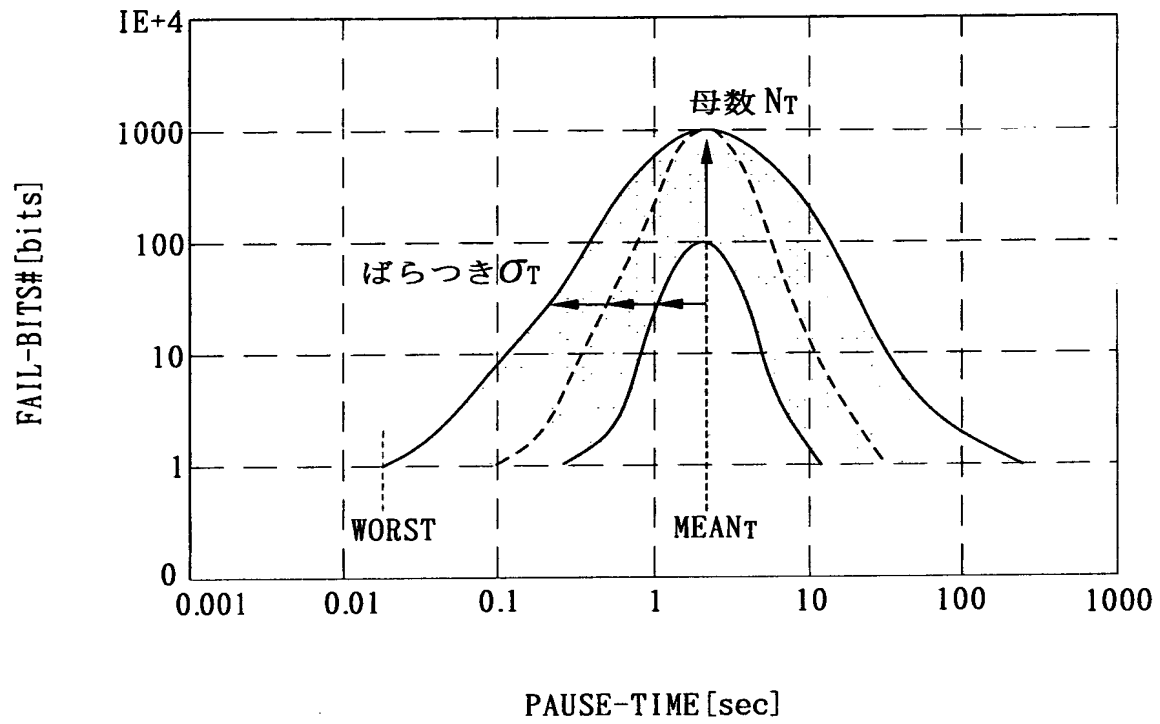
【図 1 2】



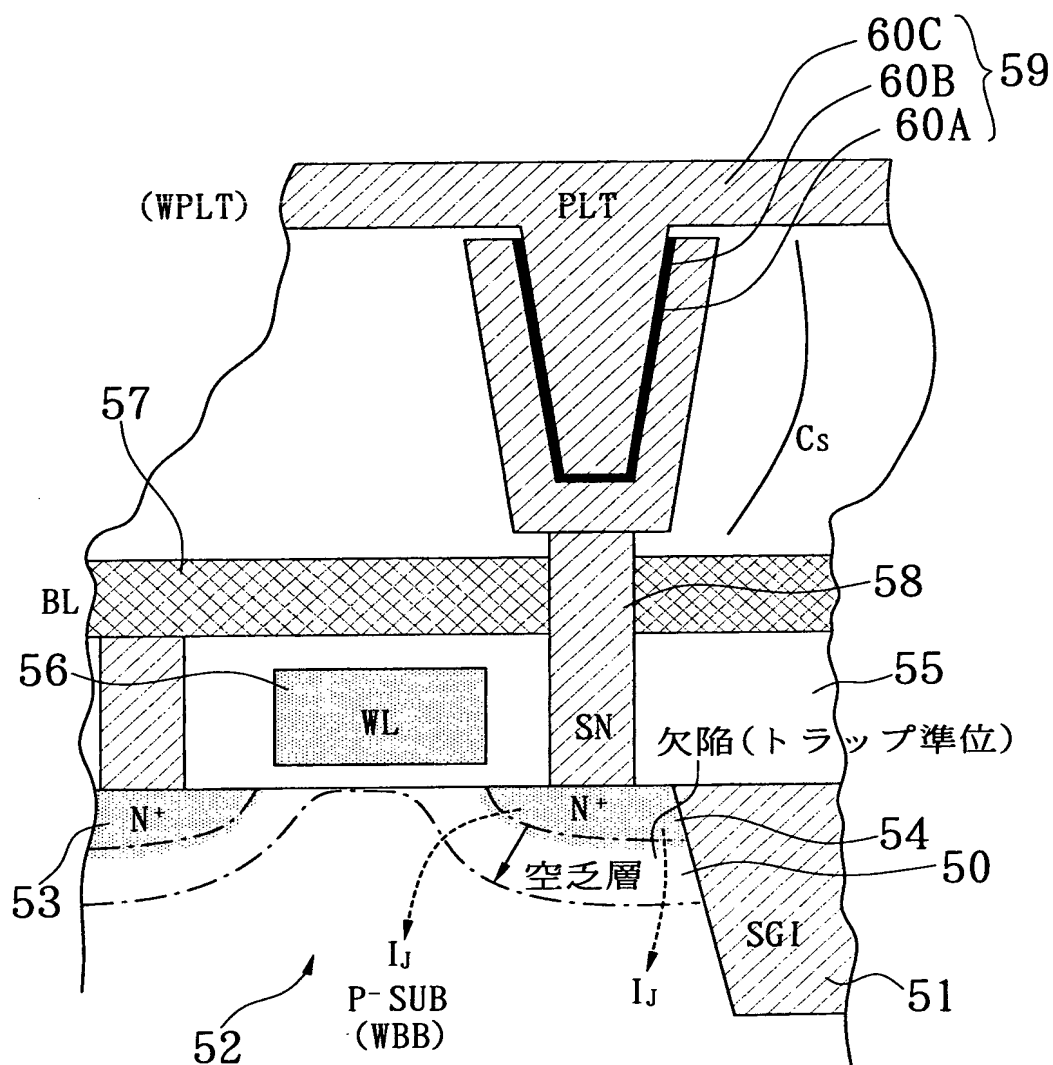
【図 13】



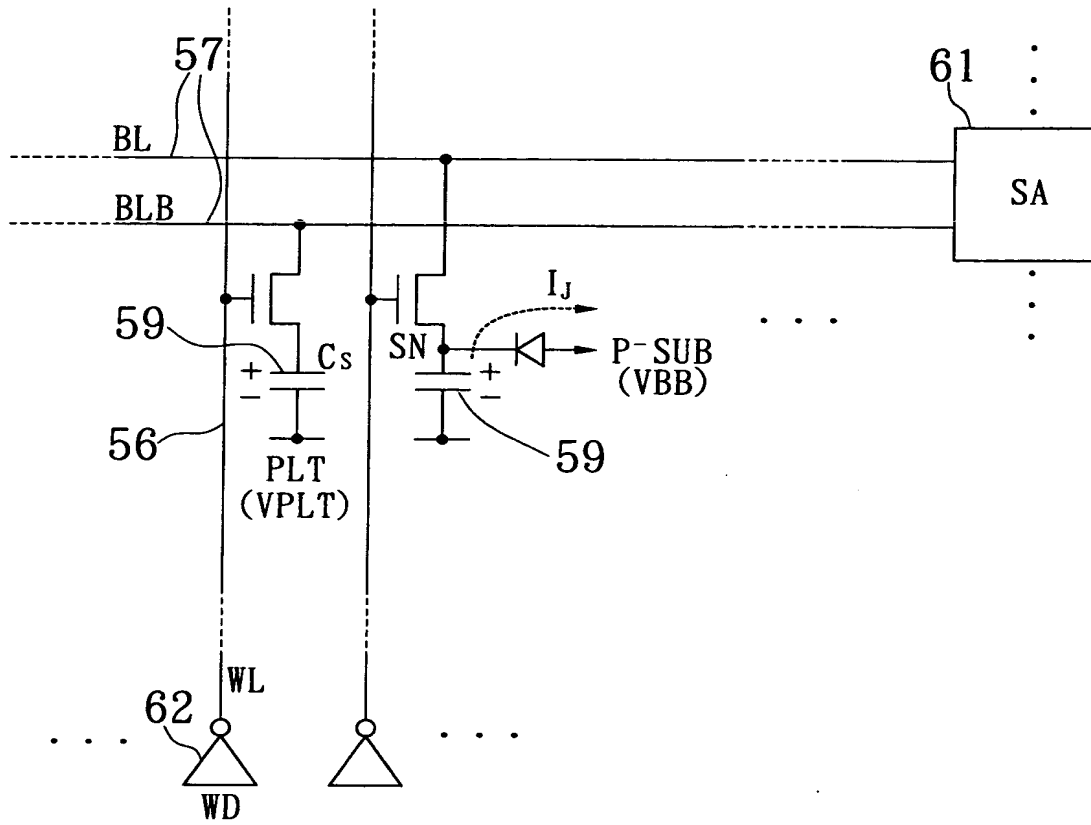
【図 14】



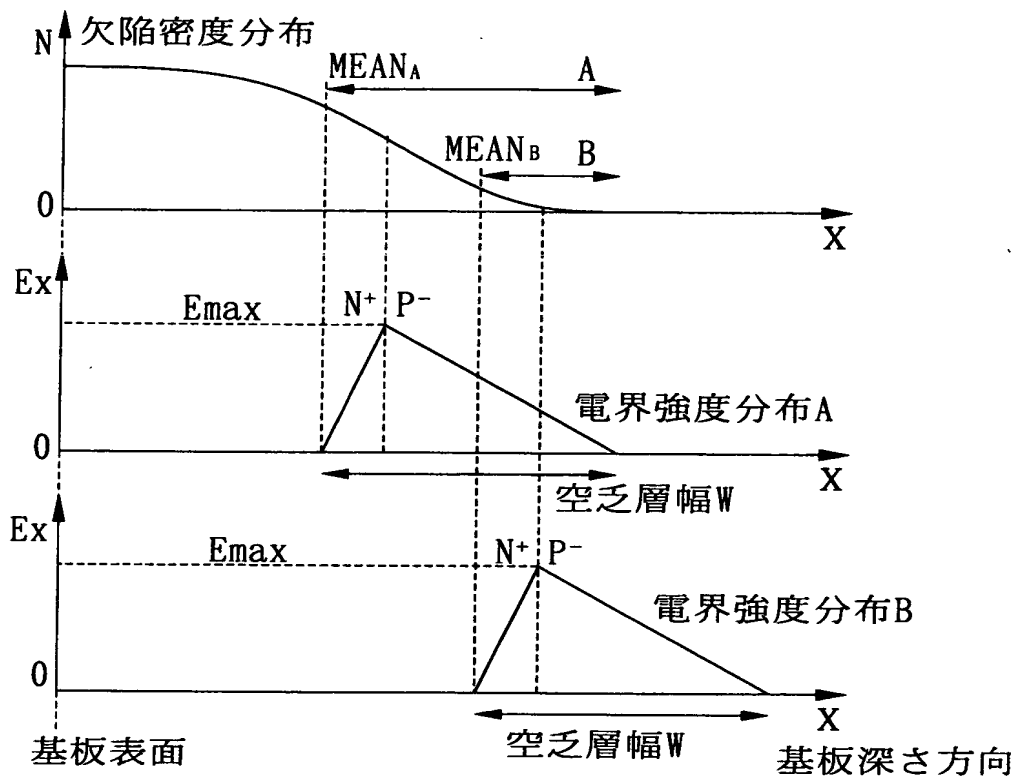
【図 15】



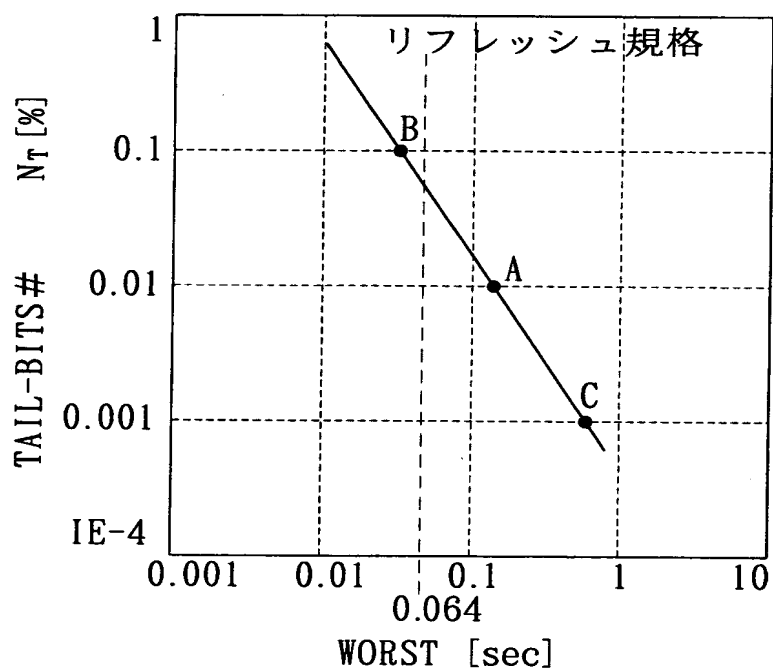
【図 1 6】



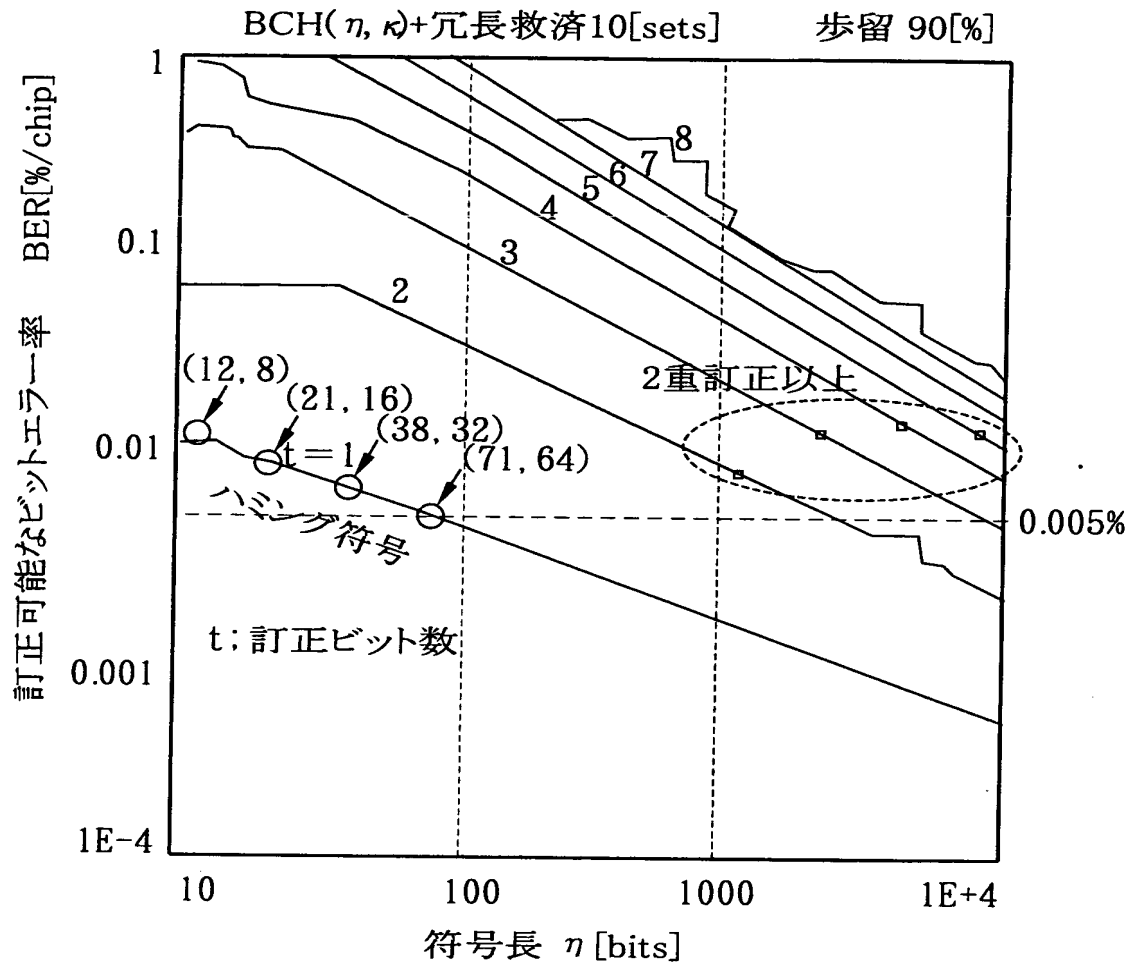
【図17】



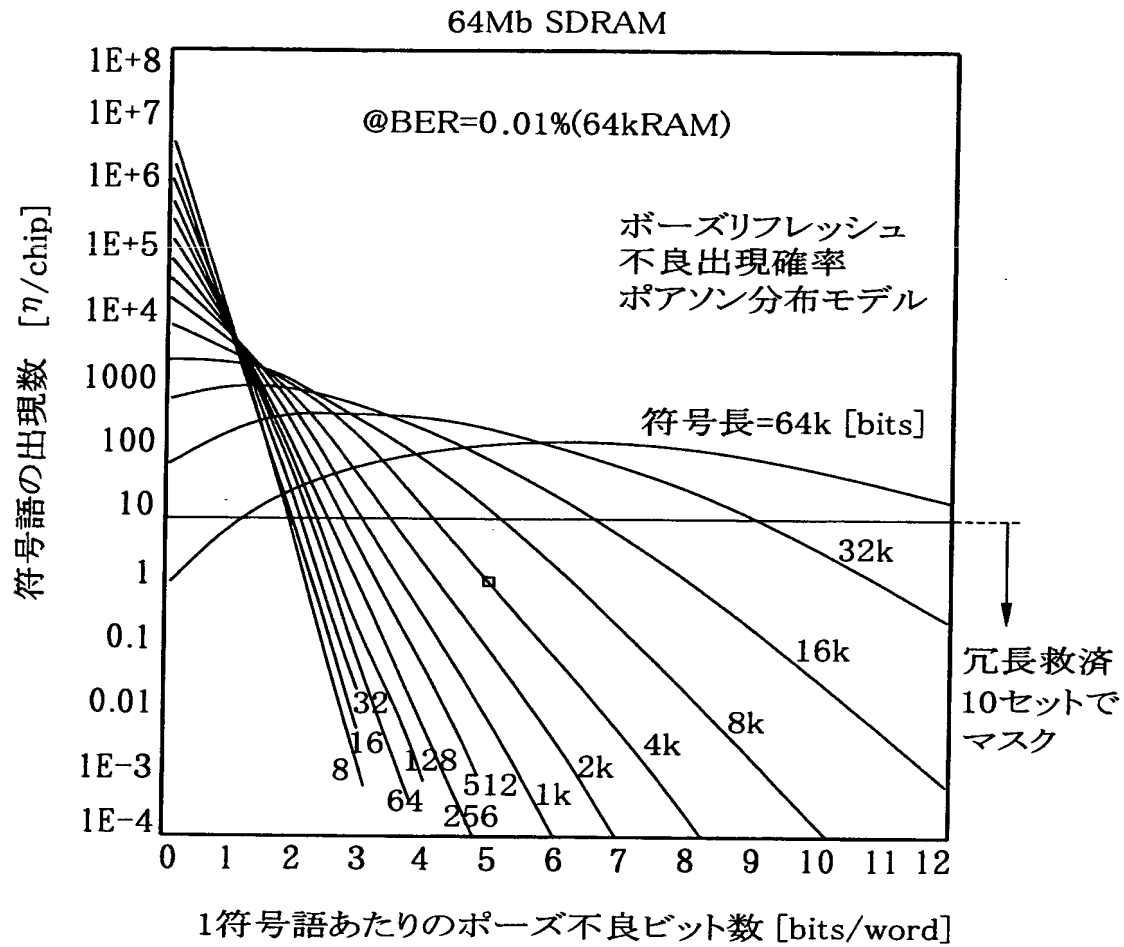
【図18】



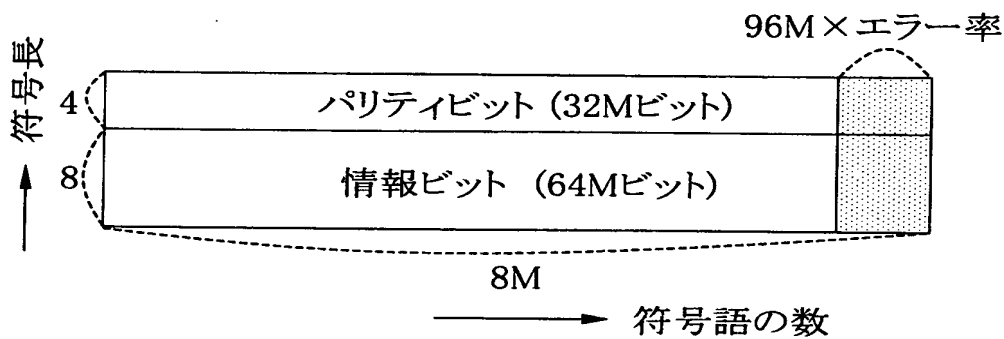
【図 19】



【図 20】



【図 21】





【書類名】 要約書

【要約】

【課題】 ポーズリフレッシュ落ちこぼれ分布においてエラー率の低いビットを効率良く救済して、ポーズリフレッシュ実力以上にリフレッシュ周期を長周期化して、データ保持電流の大幅な低減を実現する。

【解決手段】 開示される半導体記憶装置は、ハミング(12,8) 符号を搭載した16ビット構成のSDRAMから成り、テスト信号TB1により制御されて情報ビットに対応したパリティビットを演算出力する符号化回路11と、テスト信号TB2により制御されて符号語のビット中のいずれが誤りかを示す誤り位置検出信号を出力する復号回路12と、テスト信号TB3により制御されて誤り位置検出信号を入力して誤りビットを反転出力する誤り訂正回路13とから構成されるECC回路9を備えている。

【選択図】 図12

出 願 人 履 歴 情 報

識別番号 [ 5 0 0 1 7 4 2 4 7 ]

1. 変更年月日	2 0 0 0 年 7 月 1 2 日
[変更理由]	名称変更
住 所	東京都中央区八重洲 2 - 2 - 1
氏 名	エルピーダメモリ株式会社